

843.43311X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): HISAMOTO, et al

Serial No.:

Filed: December 4, 2003

Title: FABRICATION METHOD AND STRUCTURE OF
SEMICONDUCTOR NON-VOLATILE MEMORY DEVICE

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 4, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s)
hereby claim(s) the right of priority based on Japanese Patent Application No.(s)
2002-3452040 filed December 4, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/nac
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 4 日
Date of Application:

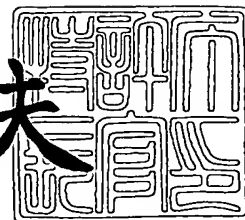
出 願 番 号 特 願 2 0 0 2 - 3 5 2 0 4 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 5 2 0 4 0]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02013261

【提出日】 平成14年12月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 久本 大

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 木村 紳一郎

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 安井 感

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 松崎 望

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、
前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャネル領域および前記第 2 半導体領域側に位置する第 2 チャネル領域と、

前記第 1 チャネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、

前記第 2 チャネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、

を有し、

前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、

前記第 1 チャネル領域における不純物の電荷密度と前記第 2 チャネル領域における不純物の電荷密度とが異なることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 記載の不揮発性半導体記憶装置において、

前記第 2 チャネル領域における不純物の電荷密度は前記第 1 チャネル領域における不純物の電荷密度よりも低いことを特徴とする不揮発性半導体記憶装置。

【請求項 3】 請求項 1 記載の不揮発性半導体記憶装置において、

前記第 1 チャネル領域には前記第 1 導電型とは逆の第 2 導電型の不純物が導入されており、前記第 2 チャネル領域には第 1 導電型の不純物と第 2 導電型の不純物とが導入されていることを特徴とする不揮発性半導体記憶装置。

【請求項 4】 請求項 1 記載の不揮発性半導体記憶装置において、

前記第 2 絶縁膜は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜であることを特徴とする不揮発性半導体記憶装置。

【請求項 5】 請求項 1 記載の不揮発性半導体記憶装置において、

前記第 2 絶縁膜の厚みは、前記第 1 絶縁膜の厚みよりも厚いことを特徴とする不揮発性半導体記憶装置。

【請求項 6】 請求項 1 記載の不揮発性半導体記憶装置において、

前記第 2 チャネル領域の不純物の電荷密度は $10^{17}/\text{cm}^3 \sim 10^{18}/\text{cm}^3$ の範囲内であることを特徴とする不揮発性半導体記憶装置。

【請求項 7】 請求項 1 記載の不揮発性半導体記憶装置において、
前記第 2 ゲートは前記第 2 絶縁膜を介して前記第 1 ゲートと隣接していることを特徴とする不揮発性半導体記憶装置。

【請求項 8】 請求項 1 記載の不揮発性半導体記憶装置において、
前記第 2 絶縁膜は電荷保持機能を有し、前記第 2 絶縁膜に電子を注入することで書き込みが行われ、前記第 2 絶縁膜にホールを注入することで消去が行われることを特徴とする不揮発性半導体記憶装置。

【請求項 9】 半導体基板と、
前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、
前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャネル領域および前記第 2 半導体領域側に位置する第 2 チャネル領域と、

前記第 1 チャネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、
前記第 2 チャネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、
を有し、
前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、

前記第 2 チャネル領域が前記第 2 半導体領域側の第 1 領域と前記第 1 チャネル領域側の第 2 領域とを有し、前記第 1 領域における不純物の電荷密度が前記第 2 領域における不純物の電荷密度よりも高いことを特徴とする不揮発性半導体記憶装置。

【請求項 10】 請求項 9 記載の不揮発性半導体記憶装置において、
前記第 1 領域における前記第 1 導電型とは逆の第 2 導電型の不純物濃度が前記第 2 領域における第 2 導電型の不純物濃度よりも高いことを特徴とする不揮発性半導体記憶装置。

【請求項 11】 請求項 9 記載の不揮発性半導体記憶装置において、
前記第 1 チャネル領域には前記第 1 導電型とは逆の第 2 導電型の不純物が導入

され、前記第 2 チャンネル領域には第 1 導電型の不純物および第 2 導電型の不純物が導入されており、前記第 1 領域における第 2 導電型の不純物濃度が前記第 2 領域における第 2 導電型の不純物濃度よりも高いことを特徴とする不揮発性半導体記憶装置。

【請求項 1 2】 請求項 9 記載の不揮発性半導体記憶装置において、
前記第 2 絶縁膜は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜であることを特徴とする不揮発性半導体記憶装置。

【請求項 1 3】 請求項 9 記載の不揮発性半導体記憶装置において、
前記第 1 チャンネル領域の不純物の電荷密度が前記第 2 領域の不純物の電荷密度よりも高いことを特徴とする不揮発性半導体記憶装置。

【請求項 1 4】 請求項 9 記載の不揮発性半導体記憶装置において、
前記第 2 ゲートは前記第 2 絶縁膜を介して前記第 1 ゲートと隣接していることを特徴とする不揮発性半導体記憶装置。

【請求項 1 5】 請求項 9 記載の不揮発性半導体記憶装置において、
前記第 2 絶縁膜は電荷保持機能を有し、前記第 2 絶縁膜に電子を注入することで書き込みが行われ、前記第 2 絶縁膜にホールを注入することで消去が行われることを特徴とする不揮発性半導体記憶装置。

【請求項 1 6】 半導体基板と、
前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、
前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャンネル領域および前記第 2 半導体領域側に位置する第 2 チャンネル領域と、

前記第 1 チャンネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、
前記第 2 チャンネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、
を有し、

前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、前記第 2 チャンネル領域の不純物の電荷密度が $10^{17}/\text{cm}^3 \sim 10^{18}/\text{cm}^3$ の範囲内であることを特徴とする不揮発性半導体記憶装置。

【請求項 17】 半導体基板と、
前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、
前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャネル領域および前記第 2 半導体領域側に位置する第 2 チャネル領域と、
前記第 1 チャネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、
前記第 2 チャネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、
を有し、
前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、
前記第 2 絶縁膜にホールを注入する際には、前記第 2 絶縁膜へのホール注入のための電圧パルスの前記第 2 ゲートおよび前記第 2 半導体領域に複数回印加することを特徴とする不揮発性半導体記憶装置。

【請求項 18】 請求項 17 記載の不揮発性半導体記憶装置において、
前記電圧パルスは、前記第 2 ゲートに負電位を与え、前記第 2 半導体領域に正電位を与える電圧パルスであることを特徴とする不揮発性半導体記憶装置。

【請求項 19】 半導体基板と、
前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、
前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャネル領域および前記第 2 半導体領域側に位置する第 2 チャネル領域と、
前記第 1 チャネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、
前記第 2 チャネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、
を有し、
前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、
前記第 2 ゲートに負電位を与え前記第 2 半導体領域に正電位を与える第 1 の電圧パルスを印加して前記第 2 絶縁膜にホールを注入するに際して、前記第 2 の電圧パルスの印加前に前記第 2 ゲート電極を正電位とする第 2 の電圧パルスを印加

することを特徴とする不揮発性半導体記憶装置。

【請求項 20】 半導体基板と、

前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、

前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャネル領域および前記第 2 半導体領域側に位置する第 2 チャネル領域と、

前記第 1 チャネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、

前記第 2 チャネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、

を有し、

前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、

前記第 2 ゲートに負電位を与え前記第 2 半導体領域に正電位を与える第 1 の電圧パルスを印加して前記第 2 絶縁膜にホールを注入した後に、前記第 2 ゲート電極に負電位を与え前記第 2 半導体領域を接地電位とする第 2 の電圧パルスを印加することを特徴とする不揮発性半導体記憶装置。

【請求項 21】 半導体基板と、

前記半導体基板中に形成された第 1 導電型の第 1 および第 2 半導体領域と、

前記半導体基板の前記第 1 半導体領域と前記第 2 半導体領域との間の前記第 1 半導体領域側に位置する第 1 チャネル領域および前記第 2 半導体領域側に位置する第 2 チャネル領域と、

前記第 1 チャネル領域上に第 1 絶縁膜を介して形成された第 1 ゲートと、

前記第 2 チャネル領域上に第 2 絶縁膜を介して形成された第 2 ゲートと、

を有し、

前記第 2 絶縁膜に電荷を注入することにより書き込みまたは消去を行なう不揮発性半導体記憶装置において、

前記第 2 絶縁膜に電子を注入する際には、前記第 1 半導体領域より高い電位を前記第 2 半導体領域に与えかつ前記第 2 半導体領域より高い電位を前記第 2 ゲートに与え、

前記第 2 絶縁膜にホールを注入する際には、前記第 2 半導体領域より低い電位

を前記第 2 ゲートに与え、

前記第 2 絶縁膜に注入された電荷の情報を読み出す際には、前記第 1 半導体領域より高い電位を前記第 2 半導体領域に与えることを特徴とする不揮発性半導体記憶装置。

【請求項 22】 以下の工程を有することを特徴とする不揮発性半導体記憶装置の製造方法；

- (a) 第 1 導電型の第 1 半導体領域を有する半導体基板を準備する工程、
- (b) 前記第 1 半導体領域上に第 1 絶縁膜を介して第 1 ゲート用の第 1 導電性膜を形成する工程、
- (c) 前記第 1 導電性膜をマスクとして前記第 1 半導体領域に第 1 不純物をイオン注入する工程、
- (d) 前記第 1 半導体領域上に前記第 1 導電性膜を覆うように第 2 絶縁膜を形成する工程、
- (e) 前記第 2 絶縁膜上に第 2 ゲート用の第 2 導電性膜を形成する工程、
- (f) 前記第 2 導電性膜の一部が前記第 2 絶縁膜を介して前記第 1 導電性膜の側面上に残存するように前記第 2 導電性膜をエッチングする工程。

【請求項 23】 請求項 22 記載の不揮発性半導体記憶装置の製造方法において、

前記 (c) 工程でイオン注入される前記第 1 不純物は前記第 1 導電型とは逆の第 2 導電型を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 24】 請求項 22 記載の不揮発性半導体記憶装置の製造方法において、

前記 (f) 工程で前記第 1 導電性膜の側面上に残存した前記第 2 導電性膜が前記第 2 ゲートとなり、

前記 (f) 工程の後に、

- (f1) 前記第 1 導電性膜をパターン化して前記第 1 ゲートを形成する工程、
- (f2) 前記第 1 ゲートおよび前記第 2 ゲートをマスクとしてイオン注入により、前記第 1 半導体領域に第 2 導電型の第 2 および第 3 半導体領域を形成する工程、

を更に有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 25】 請求項 22 記載の不揮発性半導体記憶装置の製造方法において、

前記 (c) 工程では、前記第 1 不純物は、前記第 1 半導体領域の前記第 1 導電性膜に覆われた領域には導入されず、前記第 1 半導体領域の前記第 1 導電性膜で覆われていない領域に導入されることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 26】 請求項 22 記載の不揮発性半導体記憶装置の製造方法において、

前記 (c) 工程では、イオン注入される前記第 1 不純物は第 1 導電型を有し、前記第 1 半導体領域の前記第 1 導電性膜に覆われた領域においては、前記第 1 不純物は前記第 1 導電性膜を通過して前記第 1 半導体領域の表面から第 1 の深さに導入され、前記第 1 半導体領域の前記第 1 導電性膜に覆われていない領域においては、前記第 1 半導体領域の表面から前記第 1 の深さよりも深い領域に導入されることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 27】 以下の工程を有することを特徴とする不揮発性半導体記憶装置の製造方法；

- (a) 第 1 導電型の第 1 半導体領域を有する半導体基板を準備する工程、
- (b) 前記第 1 半導体領域上に第 1 絶縁膜を介して第 1 ゲート用の第 1 導電性膜を形成する工程、
- (c) 前記第 1 導電性膜をマスクとして前記第 1 半導体領域に第 1 不純物をイオン注入する工程、
- (d) 前記第 1 半導体領域上に前記第 1 導電性膜を覆うように第 2 絶縁膜を形成する工程、
- (e) 前記第 2 絶縁膜上に第 2 ゲート用の第 2 導電性膜を形成する工程、
- (f) 前記第 1 導電性膜および前記第 1 導電性膜の側面上の前記第 2 導電性膜をマスクとして用いて前記第 1 半導体領域に第 2 不純物をイオン注入する工程、
- (g) 前記第 2 導電性膜上に第 3 導電性膜を形成する工程、
- (h) 前記第 2 および第 3 導電性膜の一部が前記第 2 絶縁膜を介して前記第 1 導

電性膜の側面上に残存するように前記第 2 導電性膜をエッチングする工程。

【請求項 28】 請求項 27 記載の不揮発性半導体記憶装置の製造方法において、

前記 (c) 工程でイオン注入される前記第 1 不純物は前記第 1 導電型とは逆の第 2 導電型を有し、

前記 (f) 工程でイオン注入される前記第 2 不純物は第 1 導電型を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 29】 請求項 27 記載の不揮発性半導体記憶装置の製造方法において、

前記 (h) 工程で前記第 1 導電性膜の側面上に残存した前記第 2 および第 3 導電性膜が前記第 2 ゲートとなり、

前記 (h) 工程の後に、

(h 1) 前記第 1 導電性膜をパターン化して前記第 1 ゲートを形成する工程、

(h 2) 前記第 1 ゲートおよび前記第 2 ゲートをマスクとしてイオン注入により、前記第 1 半導体領域に第 2 導電型の第 2 および第 3 半導体領域を形成する工程、

を更に有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置およびその製造方法に関し、特に、書き込み、消去特性に優れた不揮発性半導体記憶装置を実現する方法に関するものである。

【0002】

【従来の技術】

L S I に組み込まれた集積半導体メモリの一つに不揮発性メモリがある。不揮発性メモリは、L S I の電源を切っても記憶情報が残る素子であり、L S I を様々な応用に用いるためには、極めて重要な素子になっている。

【0003】

半導体素子の不揮発性メモリには、いわゆる浮遊ゲート型メモリや絶縁膜を用いたメモリがある（非特許文献 1 参照）。絶縁膜を積層し、その界面や絶縁膜中のトラップ等に電荷を蓄える絶縁膜型のメモリは、浮遊ゲート型のメモリに比べて新たな導電層を形成する必要がなく、CMOS LSI プロセスと整合性よくメモリを形成できることが知られている。

【 0 0 0 4 】

しかし、これまでの絶縁膜中に電荷を蓄えるもの（絶縁膜型のメモリ）では、電荷の注入と放出を行なわせながら、かつ、十分に電荷保持特性を持たせることが求められるため、実現が困難なものになっている。これに対して、電荷を放出させる代わりに、異なる符号を持った電荷を注入することで記憶情報の書き換えを行なうことが提案されている（特許文献 1 参照）。

【 0 0 0 5 】

この構造では、メモリ動作させる多結晶シリコンゲート（メモリゲート）とセルの選択を行なうゲート（選択ゲート）が分かれて形成されている。このメモリセル構造では、基本的には n チャネル型 MOS をベースとした、選択ゲートの脇にメモリゲートからなる 2 つのトランジスタが配置される。メモリゲートのゲート絶縁膜は 2 つの酸化シリコン膜で窒化シリコン膜を挟む構造を有しており、いわゆる MONOS（Metal-Oxide-Nitride-Oxide-Semiconductor(Silicon)）構造になっている。選択ゲートのゲート絶縁膜は酸化シリコン膜である。不純物拡散層（ソース、ドレイン）は、選択ゲートおよびメモリゲートをマスクに形成されている。

【 0 0 0 6 】

【非特許文献 1】

エス・ツェ（S. S z e）著，「フィジックス オブ セミコンダクタ デバイス（Physics of Semiconductor Devices）」，第 2 版（2nd edition），（米国），ウィリー出版（Wiley-Interscience publication），1981 年，p. 496－506

【 0 0 0 7 】

【特許文献 1】

米国特許第 5969383 号明細書

【0008】

【発明が解決しようとする課題】

上記のようなメモリ動作させる多結晶シリコンゲート（メモリゲート）とセルの選択を行なうゲート（選択ゲート）が分かれて隣接して配置されたメモリセルの基本的な動作として、書きこみ、消去、保持、および読み出しの4つの状態が考えられる。なお、この4つの状態の呼び名は、代表的なものとして用いており、書き込みと消去については、逆の呼び方をすることもできる。また、動作オペレーションも代表的なものを用いて説明するが、様々な異なるオペレーション法が考えられる。ここでは、説明のため n チャンネル型 MOS タイプで形成したメモリセルについて述べるが、p チャンネル型 MOS タイプでも原理的には同様に形成することができる。

【0009】

書きこみ時には、メモリゲート側不純物拡散層に正電位を与え、選択ゲート側不純物拡散層には半導体基板と同じ接地電位を与える。メモリゲートにメモリゲート側不純物拡散層よりも高いゲートオーバードライブ電圧を加えることで、メモリゲート下のチャンネルをオン状態にする。ここで選択ゲートの電位を閾値より 0.1 ないし 0.2 V 高い値をとることで、オン状態にする。このとき、2つのゲートの境付近に最も強い電界を生じるため、多くのホットエレクトロンが発生し、メモリゲート側に注入される。この現象はソースサイドインジェクション (Source side injection: SSI) として知られている。この方式でのホットエレクトロン注入の特長として、電界が選択ゲートとメモリゲート境界付近に集中するため、メモリゲートの選択ゲート側端部に集中的に注入が行なわれることがある。また、メモリゲート下の絶縁膜（ゲート絶縁膜）中に電荷が蓄積されることになるため、極めて狭い領域にエレクトロンが保持されることになる。

【0010】

消去時には、メモリゲートに負電位を与え、メモリゲート側不純物拡散層に正電位を与えることにより、メモリゲート側不純物拡散層端部のメモリゲートと不純物拡散層がオーバーラップした領域で、強反転が生じるようにすることで、バ

ンド間トンネル現象を起こし、ホールを生成することができる。発生したホールが、メモリゲートのバイアスにより引かれメモリゲート下の絶縁膜（ゲート絶縁膜）中に注入されることにより消去動作が行なわれる。すなわち、エレクトロンの電荷により上昇していたメモリゲートの閾値を、注入されたホールの電荷により引き下げることができる。この消去方式の特長は、ホールをメモリゲート側不純物拡散層端部で発生させているため、メモリゲート（の下ゲート絶縁膜）の不純物拡散層側端部に集中的にホールが注入されることである。

【0011】

保持時には、電荷は絶縁膜（メモリゲート下のゲート絶縁膜）中に注入されたキャリアの電荷として保持される。絶縁膜中でのキャリア移動は極めて少なく遅いため電極に電圧がかけられていなくても、良好に保持することができる。

【0012】

読み出し時には、選択ゲート側不純物拡散層に正電位を与え、選択ゲートに正電位を与えることで、選択ゲート下のチャネルをオン状態にする。ここで、書きこみ、消去状態により与えられるメモリゲートの閾値差を判別できる適当なメモリゲート電位、（すなわち、書きこみ状態の閾値と消去状態の閾値の中間電位）を与えることで、保持していた電荷情報を電流として読み出すことができる。

【0013】

上記のように、書き込み動作時と消去動作時に生成されるエレクトロンとホールは、それぞれメモリゲート（の下ゲート絶縁膜）の異なる端部に注入されている。情報の読み出し時には、上記のようにメモリゲートの閾値としてみる必要があるため、電荷の注入位置の違いは、書きこみ、消去動作における効率の低下を引き起こす問題がある。これは、不揮発性半導体記憶装置の性能を低下させる。また、電荷保持特性を良好なものにするには、通常用いられるチャネルおよびゲートとなるシリコンに対してポテンシャル障壁高さの高い絶縁膜、すなわち酸化シリコン膜によって電荷トラップの多い層（窒化シリコン膜）を挟む積層構造（のゲート絶縁膜）が望ましい。しかし、この場合、有効に電荷を注入するにはこの障壁を越えることが求められることになる。

【0014】

また、選択トランジスタは、大きな読み出し電流を得るため、ゲート絶縁膜を薄くすることが望ましい。一方、メモリトランジスタは、ゲート絶縁膜中に電荷を保持するため、積層された厚膜構造になる。このため、ゲート絶縁膜が厚いことによりメモリトランジスタの閾値は、極めて高くなるという問題が生じてしまう。

【0015】

本発明の目的は、高性能な書きこみ、消去特性を有する不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0016】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】

本発明の不揮発性半導体記憶装置は、メモリセルを構成する選択ゲートにより制御されるチャネル領域とメモリゲートにより制御されるチャネル領域との不純物の電荷密度を制御したものである。

【0019】

本発明の不揮発性半導体記憶装置の製造方法は、メモリセル構造を形成する際に選択ゲートをマスクとしてイオン注入を行った後にメモリゲートを形成するものである。

【0020】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0021】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0022】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0023】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0024】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0025】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0026】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0027】

(実施の形態1)

本実施の形態の不揮発性半導体記憶装置（半導体装置）およびその製造工程を図面を参照して説明する。図1～図13は、本発明の一実施の形態である不揮発性半導体記憶装置の製造工程中の要部断面図であり、そのうちの図8は図7の部分拡大断面図である。

【0028】

図1～図13においては、メモリセル部A1とメモリ周辺回路部に半導体素子が形成される様子が示されている。また、特に、書き込みなどで高い電圧が必要となるため、メモリ周辺回路部では高耐圧素子部A2と通常の素子部A3が形成される様子が示されている。メモリセル部A1とメモリ周辺回路部（高耐圧素子部A2と通常の素子部A3）は隣り合っていないともよいが、理解を簡単にするために、図1～図13においてはメモリセル部A1の隣にメモリ周辺回路部を図示している。また、本実施の形態においては、メモリセル部A1にnチャネル型のMISFET（Metal Insulator Semiconductor Field Effect Transistor）を形成する場合について説明するが、導電型を逆にしてpチャネル型のMISFETをメモリセル部A1に形成することもできる。同様に、本実施の形態においては、メモリ周辺回路部にnチャネル型のMISFETを形成する場合について説明するが、導電型を逆にしてpチャネル型のMISFETをメモリ周辺回路部に形成することもできる。また、メモリ周辺回路部に、CMOSFET（Complementary MOSFET）またはCMISFET（Complementary MISFET）などを形成することもできる。また、本実施の形態においては、良好な素子特性を与えるため、ゲート絶縁膜を素子分離領域形成前に形成するプロセス（製造工程）を用いているが、本発明の（高電界を与える）構造は本質的に素子分離領域の形成法に拠らないものであるため、従来広く用いられている素子分離工程、例えばSTI（Shallow Trench Isolation）やLOCOS（Local Oxidization of Silicon）を行った後、ゲート絶縁膜形成工程を行なうことができる。

【0029】

まず、図1に示されるように、例えば $1 \sim 10 \Omega \text{ cm}$ 程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板（ウエハ）1を準備する。次に、半導体基板1の表面を熱酸化した後（熱酸化膜を形成した後）、イオン打ち込み法（例えばホウ素などの不純物をイオン注入する）などにより半導体基板1表面に、例えばp型ウエル2, 3, 4を形成する。p型ウエル2, 3, 4は、半導体基板1の主面から所定の深さに渡って形成される。

【0030】

それから、一度、熱酸化膜を除去した後、犠牲酸化を行い再び除去し、ゲート

酸化を行う。このとき、高耐圧素子部（高耐圧部）A2で最も厚いゲート絶縁膜が必要となるため、その膜厚（高耐圧素子部A2に必要なゲート絶縁膜の膜厚）にあわせて酸化して高耐圧素子部A2にゲート絶縁膜5を形成する。他の部分（高耐圧素子部A2以外の領域）の酸化膜はフォトリソグラフィ法などを用いて除去する。次に、他の領域A1, A3（で必要なゲート絶縁膜の膜厚）にあわせて酸化を行い、例えば3 nmの厚みのゲート絶縁膜6をメモリセル部A1および素子部A3に形成する。この2回目の酸化時（ゲート絶縁膜6形成時）に、最初に形成した高耐圧部A2のゲート絶縁膜5も更に（例えば3 nm分）厚くなる。そのため、最初の酸化時には、この（ゲート絶縁膜5の）膜厚変化分を見込んで酸化すればよい。さらに多くの膜厚種が必要な場合には、この工程を繰り返す行うことで形成することができる。また、フォトリソと接触した酸化膜は耐圧低下が引き起こされることが知られている。そこで、フォトリソ塗布前に、例えば5 nm程度の薄い酸化膜（酸化シリコン膜）をCVD（Chemical Vapor Deposition）法で半導体基板1上に堆積してもよい。CVD膜（CVD法で形成した酸化シリコン膜）は熱酸化膜（熱酸化法で形成した酸化シリコン膜）に比べフッ酸に対して早いエッチング速度をもつ（エッチングされやすい）ため、堆積しても不要部のゲート絶縁膜（酸化膜）除去時に容易に取り除くことができる。

【0031】

次に、ゲート絶縁膜5, 6の形成後、図2に示されるように、多結晶シリコン膜7および窒化シリコン膜（シリコン窒化膜）8をCVD法などを用いて半導体基板1上に順に形成する。多結晶シリコン膜7の膜厚は、例えば30 nm程度であり、窒化シリコン膜8の膜厚は、例えば50 nm程度である。

【0032】

次に、図3に示されるように、例えばフォトリソグラフィ法などを用いて、窒化シリコン膜8、多結晶シリコン膜7、ゲート絶縁膜5, 6および半導体基板1（p型ウェル2, 3, 4）を例えば300 nmの深さまで選択的にエッチングして、素子分離領域の形成予定領域に溝9を形成する。

【0033】

次に、図4に示されるように、溝9から露出した半導体基板1（p型ウェル2

、3、4)の表面を例えば10nm程度熱酸化した後、CVD法などを用いて例えば500nm程度の厚みを有する酸化シリコン膜(シリコン酸化膜)を溝9を埋めるように半導体基板1上に堆積し、CMP(Chemical Mechanical Polishing)法などを用いて研磨する。これにより、窒化シリコン膜8の表面が露出するように平坦化を行い、溝9の内部に酸化シリコン膜を埋込んで素子分離領域10を形成する。そして、窒化シリコン膜8を例えばウエットエッチングなどにより除去する。ここで、必要ならば閾値設定のためチャネル表面に例えばボロン(B:ホウ素)などのp型(アクセプタとして機能する不純物)の不純物11をイオン注入(イオン打ち込み)することができる。図4においては、高耐压部A2のp型ウエル3の表面近傍領域に不純物11をイオン注入した様子が模式的に示されているが、メモリセル部A1のp型ウエル2の表面近傍領域に不純物11をイオン注入してもよい。これより、メモリセル部A1に形成するメモリセルの選択ゲート下のチャネル領域の不純物濃度(不純物の電荷密度)を調節することができ、例えば選択ゲートの閾値を $V_{cg}=0V$ のオフ状態において $10^{-9}A/\mu m$ の電流値となるように設定することができる。なお、イオン注入された不純物11は、図5およびそれ以降では図示を省略している。

【0034】

次に、図5に示されるように、半導体基板1上に例えばCVD法などを用いて、例えば150nm程度の厚みを有する多結晶シリコン膜12を堆積し、nチャネル型MISFETが形成されるべき領域(の多結晶シリコン膜12)に例えばリン(P)などの不純物を高濃度にドーピングする。それから、多結晶シリコン膜12上に、例えば50nm程度の厚みを有する酸化シリコン膜13を例えばCVD法などを用いて積層(形成)する。

【0035】

次に、図6に示されるように、フォトリソグラフィ法などを用いて、酸化シリコン膜13、多結晶シリコン膜12および多結晶シリコン膜7(の積層膜)を選択的にエッチングしてメモリセルのメモリゲートを形成する側をパターンニングする。これにより、後述するメモリゲートと不純物拡散層との形成予定領域が露出される。それから、後で選択ゲートとなるパターン化された多結晶シリコン膜7

、多結晶シリコン膜 12 および酸化シリコン膜 13 (の積層膜) をマスクとして用いて、図 6 で模式的に示されているように、不純物 14 をイオン注入 (イオン打ち込み) する。不純物 14 は、必要に応じて、p 型の不純物 (例えばホウ素など) または n 型の不純物 (例えばヒ素またはリンなど) を選択することができる。これにより、メモリゲート形成予定領域とそれに隣接する不純物拡散層形成予定領域とに不純物 14 が導入され、後で形成されるメモリゲートの下の領域 (チャンネル領域) の不純物濃度 (不純物の電荷密度) を調整することができる。このため、この後形成される不純物拡散層との PN 接合によって生じる電界を高くすることができ、また閾値を設定 (調整) することができる。図 6 においては、不純物 14 をイオン注入した様子が模式的に示されているが、イオン注入された不純物 14 は、図 7 およびそれ以降では図示を省略している。

【0036】

次に、図 7 および図 7 のメモリゲート形成予定領域近傍の部分拡大断面図である図 8 に示されるように、犠牲酸化した後、半導体基板 1 上に熱酸化により例えば 6 ~ 7 nm 程度の厚みの酸化シリコン膜 15 a を形成し、その酸化シリコン膜 15 a 上に例えば 8 ~ 9 nm 程度の厚みの窒化シリコン膜 15 b を堆積 (形成) し、その窒化シリコン 15 b 膜上に例えば 7 ~ 8 nm 程度の厚みの酸化シリコン膜 15 c を堆積 (形成) して、積層膜 15 を形成する。図 7 においては、理解を簡単にするために、酸化シリコン膜 15 a、窒化シリコン膜 15 b および酸化シリコン膜 15 c の積層膜を、積層膜 15 として示している。従って、積層膜 15 の厚みは、例えば 21 ~ 24 nm 程度となる。最後の酸化膜 (積層膜 15 のうちの最上層の酸化シリコン膜 15 c) は、例えば窒化膜 (積層膜 15 のうちの中間層の窒化シリコン膜 15 b) の上層部分を酸化して形成することで、高耐圧膜を形成することもできる。

【0037】

積層膜 15 は、後で形成されるメモリゲートのゲート絶縁膜として機能し、電荷保持機能を有する。従って、積層膜 15 は少なくとも 3 層の積層構造を有し、外側の層のポテンシャル障壁高さに比べ、内側の層のポテンシャル障壁高さが低くなる。これは、本実施の形態のように、例えば積層膜 15 を酸化シリコン膜 1

5 a、窒化シリコン膜 15 b および酸化シリコン膜 15 c の積層膜とすることで達成できる。

【0038】

酸化シリコン膜 15 c は、窒化シリコン膜 15 b の上層部分の酸化だけで形成することもできるが、酸化膜の成長（窒化シリコン膜 15 b の酸化による酸化シリコン膜の成長速度）は比較的遅いので、例えば 6 nm 程度の酸化シリコン膜を窒化シリコン膜 15 b 上に堆積した後、窒化シリコン膜 15 b の上層部分を例えば 1 nm 分だけ酸化して全厚みが 7 nm 程度の酸化シリコン膜 15 c を形成することで、良好な膜を得ることもできる。

【0039】

積層膜 15 を構成する各膜の膜厚（酸化シリコン膜 15 a、窒化シリコン膜 15 b および酸化シリコン膜 15 c の膜厚）構成は形成する半導体装置（不揮発性半導体記憶装置）の使用法によって変わるため、ここでは代表的な構成（値）のみを例示しており、上記の値には限定されない。例えば、電荷保持時間をより長くするには、（窒化シリコン膜 15 b の）上下においた酸化膜（酸化シリコン膜 15 a、15 c）の膜厚を比較的厚くすることで達成される。この場合、読み出し電流が減少した特性になる。

【0040】

次に、図 9 に示されるように、半導体基板 1 の全面上に、リンなどをドーピングした多結晶シリコン膜 16 を CVD 法などを用いて堆積する。多結晶シリコン膜 16 の堆積膜厚は例えば 100 nm 程度である。それから、図 10 に示されるように、堆積膜厚（100 nm 程度）分だけ多結晶シリコン膜 16 をエッチング（ドライエッチング、異方性エッチング、エッチバック）することにより、選択ゲート（となるべき多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 13 の積層構造）側面にメモリゲート（ゲート電極）となるべき多結晶シリコンスペーサ（メモリゲート、ゲート電極）17 a を形成する。すなわち、ゲート電極の側壁上に絶縁膜のサイドウォール（側壁スペーサ）を形成するのと同様の手法を用いて、多結晶シリコンスペーサ 17 a を形成することができる。これにより、多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 1

3の積層構造の側壁上に積層膜15を介して多結晶シリコン膜16が残存し、他の領域の多結晶シリコン膜16が除去されて、残存した多結晶シリコン膜16からなる多結晶シリコンスペーサ17aが形成される。また、多結晶シリコンスペーサ17aの加工時に、図示していないが、フォトリソグラフィ法により引き出し部のパターンニングを行う。すなわち、後でメモリゲートに接続するコンタクトホール形成予定領域では多結晶シリコン膜16をエッチングせずに残存させておく。

【0041】

また、多結晶シリコン膜16の堆積膜厚がメモリゲート長を決めることができ、半導体基板1上に堆積する多結晶シリコン膜16の膜厚を調整することで、メモリゲート長を調整することができる。例えば、多結晶シリコン膜16の堆積膜厚を薄くすることでゲート長を小さくすることができ、多結晶シリコン膜16の堆積膜厚を厚くすればゲート長を大きくすることができる。チャネル制御性と書き込み消去特性がトレードオフになるため、多結晶シリコン膜16の堆積膜厚は30～150nmにするのが良いが、選択ゲートのゲート長が200nm程度の場合、多結晶シリコン膜16の堆積膜厚は50～100nmとすることがより望ましい。これにより、メモリゲートのゲート長を50～100nm程度とすることができる。また、この工程の後に不要部分の多結晶シリコン16などを取り除くことができる。

【0042】

次に、図示しないpチャネル型MISFET形成予定領域のゲート（多結晶シリコン膜16）にp型の不純物をドーピングした後、図11に示されるように、選択ゲートおよび周辺トランジスタのゲート加工を行う。すなわち、フォトリソグラフィ法およびドライエッチング法などを用いて、多結晶シリコン膜7、多結晶シリコン膜12、酸化シリコン膜13および積層膜15を選択的に除去して、選択ゲート（第1ゲート、ゲート電極）18および周辺トランジスタ（高耐圧素子部A2および素子部A3に形成されるMISFETなどのトランジスタ）のゲート電極19を形成する。この際、多結晶シリコンスペーサ17aのうちの不要なものも除去され、残存する多結晶シリコンスペーサ17aがメモリゲート（第

2ゲート、ゲート電極) 17となる。選択ゲート18は、図11の紙面に垂直な方向に延在している。メモリゲート17は選択ゲート18の一方の側壁(側面)上に積層膜15を介して形成されており、図11の紙面に垂直な方向に延在している。

【0043】

それから、イオン注入(イオン打ち込み)法などを用いて例えばヒ素(As)などの(n型の)不純物を(メモリゲート17、選択ゲート18およびゲート電極19をマスクとして用いて)ドーピングすることでソース、ドレイン(ソース、ドレイン電極)となるn型の不純物拡散層(半導体領域、不純物拡散層電極)20, 21, 22を形成する。不純物拡散層(半導体領域)20および不純物拡散層(半導体領域)21は、メモリセル部A1に形成されるメモリセルのソース、ドレインとして機能し、不純物拡散層22は周辺回路部に形成されるMISFETのソース、ドレインとして機能することができる。なお、本実施の形態の構造においては、消去時には、不純物拡散層20の端部でいわゆるバンド間トンネル現象を利用してホールの生成を行なう。この現象によるホール生成効率、不純物拡散層20側の不純物濃度(不純物の電荷密度)に依存し、最適な濃度があることが知られている。そこで、この不純物拡散層20形成時、ヒ素とともに、例えば $10^{13} \sim 10^{14} \text{ cm}^{-2}$ のイオン注入量(ドーズ量)でリンなどをイオン注入することで、ヒ素により形成される不純物拡散層の脇(端部)に最適濃度領域(ホール生成に適した不純物の電荷密度領域)を形成できる。すなわち、イオン注入されたリンとヒ素とでは、リンの方がヒ素よりも横方向(半導体基板1の主面に平行な方向)に拡散しやすいので、中央部よりも相対的に低不純物濃度の領域が不純物拡散層20の端部に形成される。これにより、極めて有効なホール発生を行うことが可能になる。

【0044】

また、ヒ素を用いて(イオン注入により)不純物拡散層20を形成する際、同時にボロンをイオン注入(イオン打ち込み)することで、ヒ素拡散層周辺をボロン(ボロン拡散層)がとりまく構造、一般にHaloと呼ばれる構造を形成することもできる。これにより、電界をより高くすることができる。

【0045】

次に、図12に示されるように、半導体基板1上に例えば80nm程度の厚みを有する酸化シリコン膜を形成し、その酸化シリコン膜をフォトリソグラフィ法を用いて選択的にエッチング（ドライエッチング）してパターン化し、ゲート（メモリゲート17）側面に酸化シリコンからなるスペーサ（絶縁膜スペーサ、酸化シリコンスペーサ）23を形成する。スペーサ23は、メモリゲート部を覆うように形成され、すなわちメモリゲート17（多結晶シリコンスペーサ17a）と不純物拡散層20とを覆うように形成され、メモリゲート17と不純物拡散層20との間を絶縁するように機能する。この際、選択ゲート18およびゲート電極19の上部の酸化シリコン膜13および積層膜15もエッチング（ドライエッチング）によって除去され、選択ゲート18およびゲート電極19の（最上層の）多結晶シリコン膜12が露出される。また、選択ゲート18およびゲート電極19の側壁上には酸化膜が残存してサイドウォール（側壁スペーサ）24が形成される。

【0046】

また、ゲート電極19およびそのサイドウォール24の両側の領域に例えばヒ素などの（n型の）不純物をドーピングすることで高不純物濃度の不純物拡散層25を形成してLDD（lightly doped drain）構造とすることもできる。同様に、隣り合う選択ゲート19のサイドウォール24の間の領域に例えばヒ素などの（n型の）不純物をドーピングすることで高不純物濃度のn型の不純物拡散層（n型の半導体領域）26を形成してLDD（lightly doped drain）構造とすることもできる。

【0047】

それから、コバルトを用いた既知のシリサイド法などを用いて、シリサイド層27を形成する。すなわち、半導体基板1上にコバルト（Co）膜を堆積して熱処理することによって、選択ゲート18およびゲート電極19上と不純物拡散層25、26上とにシリサイド層27を形成する。その後、未反応のコバルト膜は除去する。なお、スペーサ23はパターンニングしないで形成し、さらに薄い酸化膜を堆積させることで、シリサイド形成部を限定させることで、より細かな加工

を行うこともできる。

【0048】

次に、図13に示されるように、半導体基板1上に酸化シリコンなどからなる層間絶縁膜（絶縁膜）28を形成する。それから、フォトリソグラフィ法およびドライエッチング法などを用いて、層間絶縁膜28にコンタクトホール29を形成する。コンタクトホール29の底部では、半導体基板1の主面の一部、例えば不純物拡散層20、25、26（あるいはその上のシリサイド層27）の一部、やゲート電極17、18、19（あるいはその上のシリサイド層27）の一部などが露出される。

【0049】

次に、コンタクトホール29内に、タングステン（W）などからなるプラグ30が形成される。プラグ30は、例えば、コンタクトホール29の内部を含む層間絶縁膜28上にバリア膜として例えば窒化チタン膜を形成した後、タングステン膜をCVD法などによって窒化チタン膜上にコンタクトホール29を埋めるように形成し、層間絶縁膜28上の不要なタングステン膜および窒化チタン膜をCMP法またはエッチバック法などによって除去することにより形成することができる。

【0050】

次に、プラグ30が埋め込まれた層間絶縁膜28上に、層間絶縁膜31が形成される。それから、フォトリソグラフィ法およびドライエッチング法などを用いて層間絶縁膜31に配線開口部32が形成される。そして、配線開口部32を埋めるように層間絶縁膜31上に窒化チタンなどのバリア絶縁膜と銅膜が形成され、CMP法などを用いて研磨することにより、配線開口部32内に配線（第1層配線）33が形成される。配線33はプラグ30を介して、不純物拡散層20、25、26やゲート電極17、18、19などと電氣的に接続する。配線33は、アルミニウム配線とすることもできる。例えば、層間絶縁膜28上にチタン膜、窒化チタン膜、アルミニウム膜、チタン膜および窒化チタン膜を積層し、フォトリソグラフィ法などを用いてパターン化することでアルミニウム配線を形成することができる。

【0051】

その後、必要に応じて上層配線などが形成されるが、ここではその説明は省略する。このようにして、本実施の形態の不揮発性半導体記憶装置（半導体装置）が製造される。

【0052】

図14は本実施の形態の不揮発性半導体記憶装置（半導体装置）のメモリセルを行列状に配置したメモリセルアレイの平面図（レイアウト図）であり、代表的な構成要素のレイアウトが示されている。

【0053】

図14では、代表的なレイアウトが、配線層とのシャント部（接続部）などを中心に示されている。図13の断面図のメモリセル部A1では、2つのメモリセルが図13の横方向に配置されていたが、図14の平面図では、4つのメモリセルが図14の横方向に配置され、図14の平面図全体では、上下に4セルずつ、合計8セル（8つのメモリセル）が配置されている。なお、図14では、上側の4セルのみ、セル（メモリセル）の境界41が示されている。また、金属層（配線やプラグ）は省略し、コンタクトホールのみが示されている。

【0054】

図14には、活性領域42および選択ゲート18が示されている。また、図14では図示されていないが、上記のように選択ゲート18の一方の側壁上にはメモリゲート17が形成されており、メモリゲートの引き出し部43で、メモリゲート用のコンタクトホール44により引き出される。従って、図14においては、引き出し部43が設けられている側の選択ゲート18側壁上に図示しないメモリゲート17が形成されていることとなる。なお、メモリゲートの引き出し部43とは、図10の工程で多結晶シリコン膜16をエッチバックして選択ゲート18側面に多結晶シリコンスペーサ17a（メモリゲート17）を形成する際に、その上部にフォトレジストパターンを形成しておいて多結晶シリコン膜16をエッチングさせずに残存させた領域に対応する。選択ゲート18は、選択ゲート用のコンタクトホール45により引き出され、活性領域42の不純物拡散層20に対応する領域がソース用のコンタクトホール46により引き出される。図14は

、選択ゲート側の不純物拡散層 26（不純物拡散層 21）を共通にした場合のレイアウトに対応する。

【0055】

図15は、他の形態の不揮発性半導体記憶装置のメモリセルアレイの平面図であり、図14で示されたのと同様の構成要素が示されている。図14は、選択ゲート18側の不純物拡散層（不純物拡散層21、26）を共通にした場合のレイアウトであり、図15は同様のセルで、メモリゲート側の不純物拡散層（不純物拡散層20）を共通にしたものである。また、図15においても、図示は省略しているが、引き出し部43が設けられている側の選択ゲート18側壁上にメモリゲート17が形成されている。他の構成は図14とほぼ同様であるので、ここではその説明は省略する。

【0056】

図16は、本実施の形態の不揮発性半導体記憶装置（半導体装置）のメモリセル構造の要部断面（拡大）図である。図16では、図1～図13のようにしてメモリセル部A1に形成されている2つのメモリセル構造のうちの1つが模式的に示されている。また、図16では、p型ウエル2、ゲート絶縁膜6、積層膜15、メモリゲート17、選択ゲート18、不純物拡散層20および不純物拡散層21（不純物拡散層26）が示され、理解を簡単にするために、他の構成要素、例えば選択ゲート18のメモリゲート17とは逆側の側壁上に形成されたサイドウォール24などは図示を省略している。

【0057】

図16に示されるように、本実施の形態の不揮発性半導体記憶装置におけるメモリセルは、選択ゲート18とメモリゲート17からなる2つのMISFETを、いわゆる縦積みに接続したものである。メモリゲート17のゲート絶縁膜としてONO（Oxide Nitride Oxide）積層膜である積層膜15が用いられており、いわゆるMONOS（Metal Oxide Nitride Oxide Semiconductor）構造が形成され、この積層膜15中に電荷を保持することができる。不純物拡散層20と不純物拡散層21（不純物拡散層26）との間に位置するチャネル部（チャネル領域）は、選択ゲート18により制御され得る選択ゲート18下の領域（第1チャ

ネル領域) 51と、メモリゲート17により制御され得るメモリゲート17の下
の領域(第2チャネル領域)52とからなる。厳密には、この2つのゲート(メ
モリゲート17および選択ゲート18)に挟まれた領域(に対応する領域)が(
チャネル部に)できるが、この領域は、ONO膜(積層膜15)の膜厚程度の極
めて狭いものとすることができる。

【0058】

図16に示されるメモリセル構造における代表的なオペレーション(動作)を
説明する。なお、ソースとしての不純物拡散層20の電位を V_s とし、メモリゲ
ート17の電位を V_{mg} とし、選択ゲート18の電位を V_{cg} とし、ドレインと
しての不純物拡散層21(不純物拡散層26)の電位を V_d とする。

【0059】

書き込み動作は、例えば、 $V_s = 5\text{ V}$ 、 $V_{mg} = 10\text{ V}$ 、 $V_{cg} = 0.4\text{ V}$ 、
 $V_d = 0\text{ V}$ 、とする。この電位を例えば 10^{-6} 秒間パルスとして印加することで
、必要なメモリセルに対して電子を(メモリゲート17の下の)積層膜15(の
窒化シリコン膜15b)に注入することができる。すなわち、不純物拡散層21
より高い電位を不純物拡散層20に与え、かつ不純物拡散層20より高い電位を
メモリゲート17に与えることで積層膜15に電子を注入することができる。

【0060】

消去動作は、例えば、 $V_s = 8\text{ V}$ 、 $V_{mg} = -6\text{ V}$ 、 $V_{cg} = 0\text{ V}$ 、 $V_d = 0$
 V とする。この電位を例えば 10^{-4} 秒間パルスとして印加することで、必要なメ
モリセルに対してホール(ホットホール)を積層膜15(の窒化シリコン膜15
b)に注入することができる。すなわち、不純物拡散層20より低い電位をメモ
リゲート17に与えることで積層膜15にホールを注入することができる。ここ
で、 $V_{cg} = 0\text{ V}$ としたが、 V_{cg} として正電位を与えることでホールの注入を
抑えることもできる。また、 V_d をフローティング電位とすることで、チャネル
リーク電流を低減することもできる。

【0061】

読み出し動作は、例えば、 $V_s = 0\text{ V}$ 、 $V_{mg} = 1.5\text{ V}$ 、 $V_{cg} = 1.5\text{ V}$
、 $V_d = 1.5\text{ V}$ とする。すなわち、不純物拡散層20より高い電位を不純物拡

散層 21 に与え、選択ゲート 18 に正電位を与えることで、選択ゲート 18 下のチャネルをオン状態にし、メモリゲート 17 の電位として書き込み状態の閾値と消去状態の閾値との間の電位を与える。これにより、電子が書き込まれた（注入された）メモリセルでは、オフ状態を保つが、ホールを保持したメモリセルでは、オン状態となる。すなわち、（書き込み動作により）積層膜 15 に電子が注入されてメモリゲート 17 の閾値電圧が上昇したメモリセルでは、不純物拡散層 20 と不純物拡散層 21（不純物拡散層 26）との間には読み出し電流がほとんど流れないが、（消去動作により）積層膜 15 にホールを注入してメモリゲート 17 の閾値電圧を低下させたメモリセルでは、不純物拡散層 20 と不純物拡散層 21（不純物拡散層 26）との間に所定の読み出し電流が流れることとなる。

【0062】

このため、書き込み動作や消去動作により積層膜 15 に電子やホールが注入されることで、積層膜 15 に注入されたキャリアのもつ電荷により、不純物拡散層 20 と不純物拡散層 21（不純物拡散層 26）との間を流れる電流のメモリゲート 17 の電圧特性（電圧依存性）を変化させることができる。

【0063】

これにより、本実施の形態の構造では、両電荷型のキャリアを用いて電荷情報を書き換えることができるため、容易に電荷情報を読み出すことができる。すなわち、初期状態、注入電荷を持たない場合に比べ、閾値を上下に動かすことができる。そのため、メモリゲートを保持状態に保ったまま読み出しを行うことができる。メモリゲートの保持・読み出し電位を接地電位に設定することでメモリゲートの電位制御を容易なものにすることができる。

【0064】

メモリ消去動作状態においては、領域 52 はホールが強く蓄積された状態になっている。その様子をメモリゲートの不純物拡散層 20 側の端部近傍を拡大して図 17 に示す。図 17 は、図 16 のメモリセル構造のメモリゲート 17 の不純物拡散層 20 側端部近傍の部分拡大断面図である。消去状態では、不純物拡散層 20 に正電位を与え、メモリゲート 17 に負電位を与えている。このとき半導体基板（p 型ウェル 2）内にできる（生じる）空乏層が図 17 に模式的に示してある

。図 17 において、空乏層端部を示す境界線 53 a と境界線 53 b とに挟まれた領域が空乏層となっている。このとき、境界線 53 a の外（すなわち空乏層の外）になるチャネル領域 54 では、ゲート絶縁膜（積層膜 15）を介して強くホールが蓄積した状態になっている。消去動作でのホールの動きを考えると、不純物拡散層 20 の端部（端部近傍領域）20 a で発生したホールはゲート（ゲート絶縁膜、積層膜 15）に注入される。チャネル方向に広がりを持たせてホールを注入するには、ホールをチャネル方向（横方向、半導体基板 1 の主面に平行な方向、不純物拡散層 20 から不純物拡散層 21 に向かう方向）に運動させる必要がある。

【0065】

この状態を説明するために、選択ゲート 18 のチャネル長（ゲート長） L_{cg} を固定し、メモリゲート 17 のチャネル長（ゲート長） L_{mg} をパラメータとして変化させ、電荷保持部（ゲート絶縁膜）は酸化膜と窒化膜積層構造のため、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を積層したものとしてメモリセルを形成した評価用デバイスを作製し、この評価用デバイスを用いて、横方向での加速によるホール注入距離を変えられることを示したのが図 18～図 20 のグラフである。図 18～図 20 のグラフでは、メモリセルにホールを注入する（消去動作を行なう）ことで、電流が流れる状態にしたときの読み出し電流を、メモリゲートのチャネル長（ゲート長） L_{mg} をパラメータとしてプロットしてある。図 18～図 20 は、消去動作特性を示すものであり、グラフの横軸は消去動作時間、縦軸はそれぞれの時間の消去動作経過後の読み出し電流（ここでは不純物拡散層 20 と不純物拡散層 21 との間を流れる電流）に対応し、それぞれ任意単位（arbitrary unit）で記載されている。図 18～図 20 の各グラフは、読み出し動作の前に行なう消去動作（ホール注入）時の不純物拡散層 20（ソース）の電位 V_s を変えて消去動作特性の測定を行なっている。ここでは、 V_{mg} を -7 V とし、図 18 では $V_s = 4\text{ V}$ 、図 19 では $V_s = 6\text{ V}$ 、図 20 では $V_s = 8\text{ V}$ として消去動作を行なっている。図 18～図 20 の各グラフでは、メモリゲートのチャネル長 L_{mg} を種々の値に変えた場合が示されている。消去動作時の電位 V_s が小さいとき（図 18 の場合）にはメモリゲートのチャネル長 L_{mg} が

短いものしか読み出し電流が現れていないが、消去動作時の電位 V_s を大きくすると（図 19, 20 の場合）メモリゲートのチャネル長 L_{mg} の長いものでも、電流が流れるようになる様子がみられる。また、短時間の消去動作でも電流が流れるようになる様子がみられる。これは、消去動作時の電位 V_s を大きくすることで、メモリゲート全体にホールが注入できることを示している。すなわち、メモリゲートに高い電圧をかけることで水平方向電界を高くすること、また、不純物拡散層端（不純物拡散層 20 の端部近傍領域）における水平方向電界（横方向、半導体基板 1 の主面に平行な方向の電界）を高くする構造をとることで、発生したホールをチャネル方向に加速することにより良好な消去効率を得ることができることを示している。

【0066】

また、実際のデバイス構造で上記現象を考慮すると、チャネル不純物プロファイル（チャネル領域の不純物プロファイル）が大きな問題となる。すなわち、選択トランジスタは、大きな読み出し電流を得るため、ゲート絶縁膜を薄くすることが望ましい。一方、メモリトランジスタは、ゲート絶縁膜中に電荷を保持するため、積層された厚膜構造になる。そのため、選択トランジスタのチャネル領域とメモリトランジスタのチャネル領域とを同じ基板不純物プロファイルに設定すると、ゲート絶縁膜が厚いためメモリトランジスタの閾値は、極めて高くなるという問題が生じてしまう。よって、消去効率の高い基板－不純物拡散層構造を得るには、選択トランジスタとメモリトランジスタの基板構造（不純物プロファイル）を自由に設定できる形成プロセスを構築することが重要となる。

【0067】

本実施の形態では、メモリゲート 17 の下（図 16 の領域 52）の電界制御が詳細にできることが特徴である。選択ゲート 18 の下の領域 51 の不純物の電荷密度（不純物濃度）は、p ウエル 2 を形成したときに導入した不純物濃度などにより調整し決定することができる。また、不純物 11 のイオン注入（イオン打ち込み）により、選択ゲート 18 の下の領域 51 の不純物の電荷密度（不純物濃度）を更に調整し決定することもできる。あるいは、図 4 や図 5 の段階でイオン注入を行って、選択ゲート 18 の下の領域 51 の不純物の電荷密度（不純物濃度）

を更に調整し決定することもできる。

【0068】

ここで、半導体領域にドーピングされている p 型の不純物の空乏層中での電荷は負であり、n 型の不純物の電荷は正である。このため、ある半導体領域にドーピングされている不純物が同じ導電型の不純物同士であれば、電荷の符号は同じなので、その半導体領域の不純物の電荷密度は、各不純物濃度を合算したものとなる。一方、逆の導電型の不純物同士については電荷が相殺し合うので、不純物の電荷密度は、一方の導電型の不純物濃度から他方の導電型の不純物濃度を差し引いたものに対応する。従って、不純物の電荷密度とは、ドーピングされた不純物が 1 種類の場合はその不純物濃度に対応し、ドーピングされた不純物が複数の場合は、同じ導電型の不純物については各不純物濃度を足し合わせ、異なる導電型の不純物同士は一方の導電型の不純物濃度から他方の導電型の不純物濃度を差し引いたものに対応する。例えば、 $10^{18}/\text{cm}^3$ の不純物濃度で n 型不純物（例えばリン）がドーピングされかつ $3 \times 10^{17}/\text{cm}^3$ の不純物濃度で別の n 型不純物（例えばヒ素）がドーピングされている場合、不純物の電荷密度は、両者を合算した $1.3 \times 10^{18}/\text{cm}^3$ となる。また、 $10^{18}/\text{cm}^3$ の不純物濃度で n 型不純物（例えばリン）がドーピングされかつ $3 \times 10^{17}/\text{cm}^3$ の不純物濃度で p 型不純物（例えばホウ素）がドーピングされている場合、不純物の電荷密度は、両者の差である $7 \times 10^{17}/\text{cm}^3$ となる。なお、ドーピングした不純物が有する電荷の価数が 2 以上となる場合は、不純物の電荷密度は不純物濃度をその価数倍したものに対応し得る。上記 2 例はいずれも n 型不純物の濃度の方が大きいので、n 型領域として機能する。n 型不純物と p 型不純物とが混在する場合は、互いに相殺しあって、その不純物濃度の差の分だけが実効的な不純物（ドナーまたはアクセプタ）として機能し得る。従って、不純物の電荷密度は、その半導体領域の実効的な不純物濃度と考えることもできる。

【0069】

一方、メモリゲート 17 の下の領域 52 の不純物の電荷密度（不純物濃度）は、多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 13 を図 6 に示されるようにパターン化した後、後で選択ゲート 18 となるパターン化され

た多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 13（の積層膜）をマスクとして用いた不純物 14 のイオン注入（イオン打ち込み）によって調整し決定することができる。

【0070】

不純物 14 のイオン注入では、選択ゲート 18 の下の領域 51 には、その上の多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 13 がマスクとして機能するので、不純物 14 は導入（注入）されない。これにより、本実施の形態では、選択ゲート 18 の下の領域 51 の不純物の電荷密度（不純物濃度）とメモリゲート 17 の下の領域 52 の不純物の電荷密度（不純物濃度）とは異なるものとすることができる。

【0071】

メモリゲート 17 の下の領域（チャネル領域）52 の不純物の電荷密度（不純物濃度）は、 $10^{17} \sim 10^{18} / \text{cm}^3$ であることが好ましく、 $3 \times 10^{17} / \text{cm}^3 \sim 7 \times 10^{17} / \text{cm}^3$ であればより好ましく、例えば $5 \times 10^{17} / \text{cm}^3$ 程度である。メモリゲート 17 の下の領域 52 の不純物の電荷密度（不純物濃度）を高くすると、不純物拡散層 20 と領域 52 との間の（PN 接合によって生じる）エネルギー勾配を急峻に（電界を大きく）することができ、不純物拡散層 20 から領域 52 へのホールの横方向（半導体基板 1 の主面に平行な方向、チャネル方向、チャネル長の方向）の移動が容易になるので好ましい。しかしながら、領域 52 の不純物の電荷密度（不純物濃度）を高くしすぎると閾値が低下し、消去後の読み出し値が電流値として低くなってしまう恐れがある。このため、領域 52 の不純物の電荷密度（不純物濃度）は上記範囲が好ましい。

【0072】

また、選択ゲート 18 の下の領域（第 1 チャネル領域）51 の不純物の電荷密度は、メモリゲート 17 の下の領域（第 2 チャネル領域）52 の不純物の電荷密度より高い（大きい）ことが好ましく、例えば $10^{18} / \text{cm}^3$ 程度である。これは、例えば、領域 51 上の多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 13 をマスクとして（領域 52 に）イオン打ち込みする不純物 14 を、領域 51 の導電型（不純物の導電型）とは逆の導電型とすることで、不純物

14が導入された領域52の不純物の電荷密度を不純物14が導入されなかった領域51の不純物の電荷密度よりも低くすることができる。例えば、領域52において、予め導入されていたp型の不純物（アクセプタとして機能できる不純物）の一部を、不純物14としてイオン注入されたn型の不純物（ドナーとして機能できる不純物）で相殺させる。これにより、領域52の実効的な不純物濃度である不純物の電荷密度を領域51よりも低くすることができる。このとき、不純物14のイオン注入量が過剰になり過ぎて領域52の導電型（ここではp型）が逆の導電型（ここではn型）に変わらないように、不純物14のドーズ量を調節する。従って、領域51にはp型の不純物が導入（ドーピング）され、領域52にはp型の不純物およびn型の不純物が導入（ドーピング）されることによって、p型の領域52における不純物の電荷密度をp型の領域51における不純物の電荷密度よりも小さくすることができる。また、不純物拡散層20の不純物の電荷密度（不純物濃度）は領域51および領域52と比較して高いので、図11の工程の不純物拡散層20形成のために導入（イオン注入）する不純物濃度によって、ほぼ決定することができる。

【0073】

（選択ゲート18を構成要素とする）選択トランジスタは、大きな読み出し電流を得るため、そのゲート絶縁膜（選択ゲート18の下ゲート絶縁膜6）を薄くすることが望ましい。一方、（メモリゲート17を構成要素とする）メモリトランジスタは、ゲート絶縁膜中に電荷を保持するため、そのゲート絶縁膜（メモリゲート17の下積層膜15）は、例えば酸化シリコン膜、窒化シリコン膜および酸化シリコン膜が積層された厚膜構造になる。このため、メモリゲート17の下ゲート絶縁膜、ここでは積層膜15の膜厚は、選択ゲート18の下ゲート絶縁膜、ここではゲート絶縁膜6の膜厚よりも相対的に厚くなる。従って、選択ゲート18の下領域51の不純物の電荷密度（不純物濃度）とメモリゲート17の下領域52の不純物の電荷密度（不純物濃度）とを同じに形成すると、メモリトランジスタのゲート絶縁膜（積層膜15）が選択トランジスタのゲート絶縁膜（ゲート絶縁膜6）より厚いためメモリトランジスタ（メモリゲート17）の閾値が極めて高くなるという問題が生じてしまう。

【0074】

本実施の形態では、上記のように、選択ゲート18の下領域51の不純物の電荷密度（不純物濃度）とメモリゲート17の下領域52の不純物の電荷密度（不純物濃度）とが異なり、イオン注入時の不純物の導電型や注入量（ドーズ量）を調節することなどによって、それぞれの不純物の電荷密度（不純物濃度）を所望の値に調整することができる。例えば、上記のように、選択ゲート18の下領域（チャンネル領域）51における不純物の電荷密度を、メモリゲート17の下領域52における不純物の電荷密度よりも高くすることができる。より薄いゲート絶縁膜6を介して選択ゲート18により制御される領域51において不純物の電荷密度を相対的に高くし、ゲート絶縁膜6よりも厚い積層膜15を介してメモリゲート17により制御される領域52において不純物の電荷密度を相対的に低くすることで、上記のようなメモリトランジスタ（メモリゲート17）の閾値が極めて高くなるという問題を防止できる。また、選択ゲート18の下領域51の不純物の電荷密度（不純物濃度）とは切り離してメモリゲート17の下領域52の不純物の電荷密度（不純物濃度）を所望の値に調整でき、不純物拡散層20から領域52へのホールの横方向（半導体基板1の主面に平行な方向、チャンネル方向、チャンネル長方向）の移動を容易にすることが可能となる。また、メモリゲート17の下領域52の不純物の電荷密度（不純物濃度）を、不純物拡散層20から領域52へのホールの横方向の移動を容易とするのに最適な濃度設定することで、消去効率を向上させることができる。

【0075】

また、選択ゲート18（選択トランジスタ）の閾値設定が、メモリゲート17（メモリトランジスタ）の閾値に影響することを防ぐため、選択ゲート18の閾値を低く設定することが有効である。これは、チャンネルの不純物の電荷密度（不純物濃度）を低くすることで達成できる。しかし、選択ゲート18の低閾値化は、例えば読み出し時のリーク（リーク電流）を増大させる問題を生じる。これに対して、読み出し時に選択されていない選択ゲート電位（ V_{cg} ）を負側に振り込む（負電位とする）ことでリークを抑えることができる。また、読み出し時に選択ゲートに比べ拡散層電位を高くすることで、実効的に負電位を与えるのと同

じ効果を得ることができる。そのため、選択ゲート 18 のドライバ回路で、負電位を発生させる必要をなくすことができる。また、読み出し時に半導体基板に負電位を与え、いわゆるバックバイアス効果によりリークを抑えてもよい。このとき、メモリゲート 17 の下のチャネル部への不純物のドーピング量は少ないため、メモリゲート 17 に最適な不純物拡散層およびチャネル分布（チャネル領域の不純物プロファイル）を形成することができる。

【0076】

図 21 は、図 16 のメモリセルに注入されたキャリアの様子を模式的に示す断面図である。本実施の形態のメモリセル構造により、上記のように消去効率を高くしても、ホール 61 は不純物拡散層 20 側、電子 62 は選択ゲート 18 側に若干分布が残る（偏った分布となる）。そこで、読み出すとき（読み出し動作時）、前記方式例とは逆に、 V_s を 1 V に V_d を 0 V とすること（不純物拡散層 21 より高い電位を不純物拡散層 20 に与えること）で、効率よく情報を読み出すことができる。すなわち、図 21 において、チャネル（チャネル領域）63 は、図 16 における領域 51 に対応し、チャネル（チャネル領域）64 は、図 17 におけるチャネル領域 54 に対応し、チャネル 64 とチャネル（チャネル領域）65 の境界は、図 17 における境界線 53a に対応し、チャネル 64 とチャネル 65 を合わせた領域が図 16 における領域 52 に対応する。（読み出し時に）不純物拡散層 21（不純物拡散層 26、選択ゲート 18 側の不純物拡散層）をソースとし、不純物拡散層 20（メモリゲート 17 側の不純物拡散層）をドレインとして動作させると（不純物拡散層 21 より高い電位を不純物拡散層 20 に与えると）、電子はソース端（ソース側）に入っていることになるため、閾値を変えることができる。また、境界線 53a（チャネル 64 とチャネル 65 の境界）が広がることで、ホール注入によりダメージを受けている領域が空乏層により隠されるため、（ダメージを受けた）界面特性の影響を見えなくすることができる。また、消去時（消去動作時）にはチャネル 64 が極めて短くなることから、大きな電流を流すことができる。

【0077】

図 22 は、メモリゲート 17 端部近傍での消去後（消去動作後、ホール注入後

）の様子を模式的に示す断面図である。図 22 は、図 17 の構造（の積層膜 15）にホールを注入したものに対応する。不純物拡散層 20 の端部（端部近傍領域）でホールが生成されるため、不純物拡散層 20 の端部の直上からチャンネルにかけてホール 71 が積層膜 15（積層絶縁膜）に注入されている。このため、図 21 に示されるように、境界線 53a で示した空乏層端は、図 17 の場合（ホール注入前）に比較してホール 71 の電荷によりチャンネル方向に張り出すこととなる。従って、空乏層（境界線 53a と境界線 53b とに挟まれた領域）の広がり（図 22 の横方向の幅）72 は大きなものになり、横方向電界（半導体基板 1 の主面に平行な方向の電界）が減少する。

【0078】

図 22 の C-C 線に沿ったポテンシャル分布（エネルギーバンド構造）を模式的に示したのが図 23 である。図 23 では、チャンネル界面の電界を説明するため、積層構造は省略して記している。すなわち、理解を簡単にするために、積層膜 15 を単層とした場合のポテンシャル分布を示してある。図 23 のグラフの横軸が厚み方向（半導体基板 1 の主面に垂直な方向）の距離または位置（任意単位: arbitrary unit）に対応し、図 23 のグラフの縦軸がエネルギーバンドに対応し、各位置における伝導帯下端のエネルギー準位 E_C と価電子帯上端のエネルギー準位 E_V とが示されている。実際には、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜からなる積層膜 15 においては、外側の層である酸化シリコン膜におけるポテンシャル障壁の高さに比べ、内側（中間）の層である窒化シリコン膜におけるポテンシャル障壁の高さが低くなる。

【0079】

積層絶縁膜（積層膜 15）および界面にホール電荷が存在するため、図 23 に示されるように、絶縁膜（積層膜 15）中でのポテンシャル分布が矢印で示されるシフト量 81 の分シフトし、また、半導体基板中（不純物拡散層 20 中）のポテンシャル分布も矢印で示されるシフト量 82 の分シフトし、垂直方向の電界も弱まる方向にシフトする。よって、消去（消去動作）を行うと、ホールの発生が減少するとともに、横方向への電界による加速も減少され、消去が進み難くなる。

【 0 0 8 0 】

そこで、（消去動作時の）消去パルス（あるいはそれ以上の複数回）に分けて加える。図 2 4 ～図 2 7 は、消去動作時の印加電圧パルスを示すグラフである。図 2 4 ～図 2 7 では、それぞれの端子電位が示されており、パルス形状として動作タイミング例を記したものである。図 2 4 では、 $V_{mg} = -6 \text{ V}$ 、 $V_s = 8 \text{ V}$ の消去パルス（消去動作時の印加電圧パルス）が、2 回印加されている。このように消去パルス（例えば半導体基板 1 を接地電位としたときにメモリゲート 1 7 に負電位を与え、不純物拡散層 2 0 に正電位を与える電圧パルス）を 2 回あるいはそれ以上の複数回に分けて加えることで、表面の極めて浅い準位に捕獲されたホールをなくすことで電界を強め、消去効率をより高くすることができる。

【 0 0 8 1 】

また、図 2 5 に示すように消去パルスの前に V_{mg} （メモリゲート 1 7）に正電位（例えば $V_{mg} = 2 \text{ V}$ ）を加えることで、表面のホールを減少させ、電界を強くできるようにしてから消去動作を行うことができる。これにより、消去効率をより高くすることができる。また、このホール減少動作としては、図 2 6 に示されるように、（消去パルス印加前に）極めて弱いソース（不純物拡散層 2 0）端での書き込み状態をとることで有効にホールを消滅させることができる。

【 0 0 8 2 】

また、図 2 7 に示すように、消去パルスを加えた後に、 V_{mg} （メモリゲート 1 7）に負電位（例えば $V_{mg} = -6 \text{ V}$ ）を印加することで、（積層膜 1 5 の最下層の）酸化シリコン膜界面付近等にある不安定な状態のホールをより安定した位置に動かすことができる。これにより、消去効率をより高くすることができる。このとき、ホールを発生させる必要はないので、 V_s は接地あるいは、ホールの発生しない電位に保つことで、電力消費を抑えることができる。

【 0 0 8 3 】

上記例では、パルスを複数印加する例を示したが、例えば、 $V_{mg} = 10 \text{ V}$ 、 $V_s = 5 \text{ V}$ 、 $V_d = 0 \text{ V}$ 、 $V_{cg} = 0.4 \text{ V}$ で書きこみを行なった後、 V_{mg} のみ電位、例えば 12 V を印加することで、チャネル電流は流さなくても、注入直

後より安定した電荷分布を採らせることができる。これにより、保持電荷の経時変化をより小さいものとすることができる。消去動作においても同様のことを行なうことができる。

【0084】

(実施の形態2)

図28～図31は、本発明の他の実施の形態である不揮発性半導体記憶装置（半導体装置）の製造工程中の要部断面図であり、メモリトランジスタのメモリゲート17として機能する多結晶シリコンスペーサ17bの形成工程が示されている。図7の製造工程までは上記実施の形態1と同様であるのでここではその説明は省略する。

【0085】

図7の構造が得られた後、図28に示されるように、半導体基板1の全面上に、リンなどをドーピングした多結晶シリコン膜16aをCVD法などを用いて堆積する。多結晶シリコン膜16aの堆積膜厚は、上記実施の形態1における多結晶シリコン膜16の堆積膜厚よりも薄い。それから、多結晶シリコン膜7、多結晶シリコン膜12および酸化シリコン膜13の積層膜（選択ゲート18形成用の積層構造）と、その上および側壁上の多結晶シリコン膜16aとをマスクとして、p型の不純物91（例えばホウ素など）をイオン注入（イオン打ち込み）する。図28においては、不純物91をイオン注入した様子が模式的に示されているが、イオン注入された不純物91は、図29およびそれ以降では図示を省略している。

【0086】

次に、図29に示されるように、半導体基板1の全面上に、リンなどをドーピングした多結晶シリコン膜16bをCVD法などを用いて堆積する。多結晶シリコン膜16aおよび多結晶シリコン膜16bの積層膜の全厚みが、上記実施の形態1における多結晶シリコン膜16の堆積膜厚にほぼ相当し、例えば100nm程度である。

【0087】

それから、図30に示されるように、多結晶シリコン膜16a、16bの堆積

膜厚（ここでは100nm程度）分だけ多結晶シリコン膜16a, 16bをエッチング（ドライエッチング、異方性エッチング、エッチバック）することにより、選択ゲート側面にメモリゲート（ゲート電極）17となる多結晶シリコンスペーサ17bを形成する。これにより、図30の構造が得られる。図30の構造は、上記実施の形態1における図10の構造に対応する。従って、上記実施の形態1では、多結晶シリコンスペーサ17aは一層の多結晶シリコン膜16により形成したが、本実施の形態では、多結晶シリコンスペーサ17bは二層の多結晶シリコン膜16a, 16b（の積層膜）により形成される。

【0088】

多結晶シリコンスペーサ17bの形成後、上記実施の形態1と同様にして、図31に示されるように、多結晶シリコン膜7、多結晶シリコン膜12、酸化シリコン膜13および積層膜15を選択的に除去して、選択ゲート（ゲート電極）18および周辺トランジスタ（高耐圧素子部A2および素子部A3に形成されるトランジスタ）のゲート電極19を形成する。それから、メモリゲート17、選択ゲート18およびゲート電極19をマスクとして用いたイオン注入法などを用いて例えばヒ素などのn型の不純物をドーピングすることでソース、ドレイン（ソース、ドレイン電極）となる不純物拡散層（不純物拡散層電極）20, 21, 22を形成する。以降の工程は、上記実施の形態1における図12およびそれ以降の製造工程とほぼ同様であるので、ここではその説明は省略する。

【0089】

図32は、図29の工程段階の不揮発性半導体記憶装置の部分拡大断面図である。本実施の形態では、図32に示されるように、メモリゲート17の下領域（図16の領域52に対応）内において、選択ゲート18側の領域52aと不純物拡散層20側（不純物拡散層20に隣接する）の領域52bの不純物の電荷密度（不純物濃度）が異なる。

【0090】

領域52aの不純物の電荷密度（不純物濃度）は、酸化シリコン膜13、多結晶シリコン膜12および多結晶シリコン膜7をパターンニングしてメモリゲート形成予定領域を露出した後で、かつ多結晶シリコン膜16aを形成する前に行われ

る（不純物 14 の）イオン注入の注入量（ドーズ量）などを調節することによって調整し決定することができる。このときのイオン注入では、領域 52a および領域 52b に不純物 14 が導入される（選択ゲート 18 の下の領域 51 には不純物 14 は導入されない）。上記実施の形態 1 と同様に、不純物 14 として n 型の不純物を用いれば、領域 52a の不純物の電荷密度を領域 51 よりも低くすることができる。

【0091】

領域 52b の不純物の電荷密度（不純物濃度）は、多結晶シリコン膜 16a を形成した後で、かつ多結晶シリコン膜 16b を形成する前に行われる不純物 91 のイオン注入の注入量（ドーズ量）を調節することによって調整し決定することができる。このときのイオン注入では、領域 52a に不純物 91 は導入されない。これは領域 52a の上部においては、多結晶シリコン膜 16a の半導体基板 1 の主面に垂直な方向の厚みが厚くなり、マスクとして機能する（選択ゲート 18（形成用の積層構造）およびその側壁上の多結晶シリコン膜 16a がマスクとして機能する）からである。例えば、領域 52b の不純物の電荷密度（不純物濃度）を領域 52a よりも高くすることができる。

【0092】

このため、領域 51 には p 型の不純物が導入（ドーピング）され、領域 52a および領域 52b には p 型の不純物および n 型の不純物が導入（ドーピング）され、領域 52b における p 型の不純物濃度が領域 52a における p 型の不純物濃度よりも大きくなるので、p 型の領域 52b における不純物の電荷密度を p 型の領域 52a における不純物の電荷密度よりも大きくし、かつ p 型の領域 52a における不純物の電荷密度を p 型の領域 51 における不純物の電荷密度よりも小さくすることができる。

【0093】

これにより、領域 52b は（不純物拡散層 20 との間の PN 接合による横方向の）電界を高くするため p 型不純物濃度を高くし、領域 52a では不純物濃度を低くすること、あるいは、反対導電型不純物（n 型不純物）をドーピングすることで、チャンネル部の不純物を相殺することで（不純物の電荷密度を低くしてメモ

リゲート 17 の) 閾値を低くすることができる。すなわち、領域 52b の p 型不純物濃度 (不純物の電荷密度) を比較的高くすることで、不純物拡散層と領域 52b の間の (PN 接合によって生じる) エネルギー勾配を急峻にし (電界を高くし)、不純物拡散層 20 から領域 52b へのホールの横方向の移動を容易にすることが可能となる。また、領域 52a の不純物の電荷密度を領域 52b の不純物の電荷密度よりも低くすることで、メモリトランジスタの閾値が高くなるのを防止することができる。これにより、メモリゲート下の領域の電界制御をより詳細に行なうことが可能となる。

【0094】

(実施の形態 3)

図 33 は、本発明の他の実施の形態である不揮発性半導体記憶装置 (半導体装置) の製造工程中の要部断面図である。図 5 の製造工程までは上記実施の形態 1 と同様であるのでここではその説明は省略する。

【0095】

本実施の形態では、選択ゲート 18 を加工した後、選択ゲート 18 を透過し、選択ゲート 18 下のチャネル表面に打ち込み深さを持ったイオン打ち込みを行なうことで、不純物層 100 を形成する。すなわち、図 5 の構造が得られた後、図 33 に示されるように、フォトリソグラフィ法およびドライエッチング法などを用いて、酸化シリコン膜 13、多結晶シリコン膜 12 および多結晶シリコン膜 7 (の積層膜) を選択的にエッチングしてパターン化 (パターニング) し、メモリセル部 A1 に選択ゲート 18 を形成する。それから、パターン化された多結晶シリコン膜 7、多結晶シリコン膜 12 および酸化シリコン膜 13 (の積層膜) をマスクとして用いて、p 型の不純物 (例えばホウ素など) をイオン注入 (イオン打ち込み) する。この際、不純物が選択ゲート 18 を透過して選択ゲート 18 下のチャネル領域 (表面) に打ち込まれるように、イオン注入のエネルギー (打ち込み深さ) を調節する。このイオン打ち込みにより、比較的不純物高濃度の p 型の不純物拡散層 100 が形成される。以降の工程は、選択ゲート 18 のパターン化が不要であることなど以外は、上記実施の形態 1 における図 7 およびそれ以降の製造工程とはほぼ同様であるので、ここではその説明は省略する。

【0096】

選択ゲート18の下においては不純物拡散層100は半導体基板1の表層部分に形成されるので、選択ゲート18の下のチャネル領域は比較的高い不純物濃度（不純物の電荷密度）にすることができる。一方、メモリゲート17形成予定領域においては、イオン注入のマスクとしての酸化シリコン膜13、多結晶シリコン膜12および多結晶シリコン膜7（の積層膜）が存在しないため、不純物の打ち込み深さが深くなり、不純物拡散層100は半導体基板1の比較的深い領域（例えば選択ゲート18およびその上の酸化シリコン膜13の全膜厚分だけ深い領域）に形成される。このため、後で形成されるメモリゲート17の下のチャネル領域の不純物の電荷密度（不純物濃度）は、上記イオン打ち込み（不純物拡散層100形成のためのイオン打ち込み）には影響されない。このため、選択ゲート18のチャネル領域（領域51）の不純物の電荷密度（不純物濃度）とメモリゲート17のチャネル領域（領域52）の不純物の電荷密度（不純物濃度）を異なる値にすることができ、選択ゲート18のチャネル領域の不純物の電荷密度をメモリゲート17のチャネル領域の不純物の電荷密度よりも高くすることが可能となる。これにより（不純物拡散層100の形成により）、メモリゲート17の閾値を変えずに、選択ゲート18の閾値を設定することができる。

【0097】

また、本実施の形態では、p型ウエル2に同じ導電型（ここではp型）の不純物をイオン打ち込みして不純物拡散層100を形成するので、p型ウエル2に逆導電型（ここではn型）の不純物をイオン注入する必要がない。このため、選択ゲートおよびメモリゲート下の領域を所望の濃度分布（プロファイル）に調整することがより容易である。また、選択ゲート18を一度のパターニングにより決める（形成する）ことができるため、選択ゲート18のチャネル長のばらつきを抑えることができる。

【0098】

また、本実施の形態では、メモリゲート17（多結晶シリコンスペーサ17a）形成時には選択ゲート18の両側にメモリゲート17が形成される。このため、選択ゲート18の加工（形成）後、選択ゲート18の片側（不純物拡散層21

の形成予定領域)には高濃度に不純物をドーピングすることで不純物拡散層(拡散層電極)21を形成し、拡散層電極21形成後にその上に形成されるスペーサゲート(多結晶シリコンスペーサ17a)の影響を受けないようにすることができる。また、不要部分のスペーサゲート(多結晶シリコンスペーサ17a)をパターニングにより除去することもできる。このとき、下地は比較的厚い積層膜15があるため、不要部分のスペーサゲート(多結晶シリコンスペーサ17a)は容易に除去することができる。

【0099】

(実施の形態4)

図34は、本発明の他の実施の形態である不揮発性半導体記憶装置(半導体装置)の製造工程中の要部断面図であり、上記実施の形態1の図12の工程段階に対応する。図10の製造工程までは上記実施の形態1と同様であるのでここではその説明は省略する。

【0100】

上記実施の形態1では、シリサイド層27の形成工程(シリサイド工程)では、メモリゲートと選択ゲート18との短絡やメモリゲートと不純物拡散層20との短絡を防ぐために、スペーサ23をカバー(保護絶縁膜)として用い、不純物拡散層20もスペーサ23で覆うようにしている。メモリゲートの側面上に絶縁膜スペーサが残存すれば短絡を防止できるので、本実施の形態では、スペーサ形成用の酸化シリコン膜をエッチバック(異方性エッチング)してメモリゲート17の側面上を覆うようにスペーサ23a(実施の形態1のスペーサ23に対応)を形成し、不純物拡散層20はメモリゲート近傍領域を除いてほぼ露出させた状態でシリサイド化を行なう。これにより、図34に示されるように、メモリゲート17の一部および不純物拡散層20の一部の表面部分もシリサイド化してシリサイド層27を形成することができる。上記実施の形態1では、スペーサ23によりブリッジングを防いでいたが、Ni等のシリサイドでは、ブリッジングさせずにシリサイド化することが可能となる。

【0101】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明

したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0102】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0103】

メモリセルを構成する選択ゲートにより制御されるチャネル領域とメモリゲートにより制御されるチャネル領域との不純物の電荷密度を制御することにより、高性能な書きこみ消去特性を有する不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態である不揮発性半導体記憶装置の製造工程中の要部断面図である。

【図2】

図1に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図3】

図2に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図4】

図3に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図5】

図4に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図6】

図5に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図7】

図6に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図8】

図7の部分拡大断面図である。

【図 9】

図 7 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 1 0】

図 9 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 1 1】

図 1 0 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 1 2】

図 1 1 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 1 3】

図 1 2 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 1 4】

本発明の一実施の形態である不揮発性半導体記憶装置の要部平面図である。

【図 1 5】

他の実施の形態の不揮発性半導体記憶装置の要部平面図である。

【図 1 6】

本発明の一実施の形態である不揮発性半導体記憶装置のメモリセル構造の要部断面図である。

【図 1 7】

図 1 6 のメモリセル構造のメモリゲートの端部近傍の部分拡大断面図である。

【図 1 8】

メモリセルにホールを注入することで電流が流れる状態にしたときの読み出し電流のグラフである。

【図 1 9】

メモリセルにホールを注入することで電流が流れる状態にしたときの読み出し電流のグラフである。

【図 2 0】

メモリセルにホールを注入することで電流が流れる状態にしたときの読み出し電流のグラフである。

【図 2 1】

図 1 6 のメモリセルに注入されたキャリアの様子を模式的に示す断面図である。

【図 2 2】

メモリゲート 1 7 端部近傍での消去後の様子を模式的に示す断面図である

【図 2 3】

図 2 2 の C-C 線に沿ったポテンシャル分布を示す説明図である。

【図 2 4】

消去動作時の印加電圧パルスを示すグラフである。

【図 2 5】

消去動作時の印加電圧パルスを示すグラフである。

【図 2 6】

消去動作時の印加電圧パルスを示すグラフである。

【図 2 7】

消去動作時の印加電圧パルスを示すグラフである。

【図 2 8】

本発明の他の実施の形態である不揮発性半導体記憶装置の製造工程中の要部断面図である。

【図 2 9】

図 2 8 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 3 0】

図 2 9 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 3 1】

図 3 0 に続く不揮発性半導体記憶装置の製造工程中における要部断面図である。

【図 3 2】

図 2 9 の部分拡大断面図である。

【図 3 3】

本発明の他の実施の形態である不揮発性半導体記憶装置の製造工程中の要部断面図である。

【図 3 4】

本発明の他の実施の形態である不揮発性半導体記憶装置の製造工程中の要部断面図である。

【符号の説明】

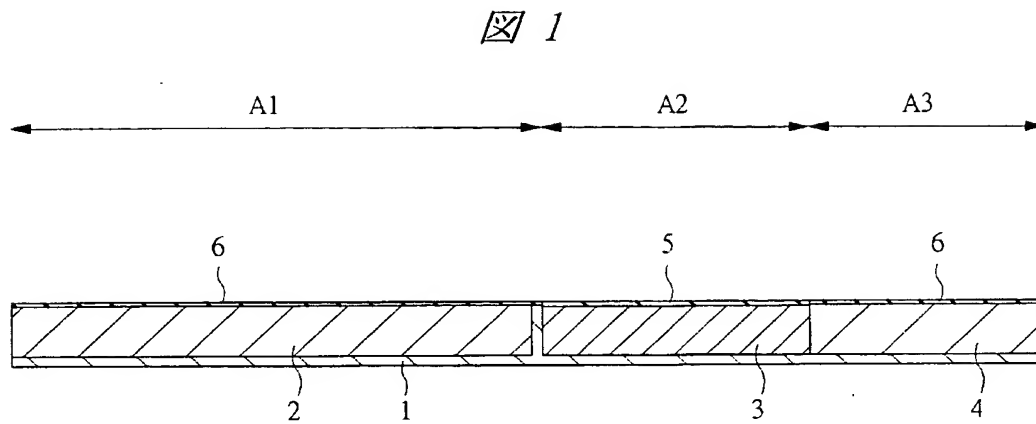
- 1 半導体基板
- 2 p 型ウエル
- 3 p 型ウエル
- 4 p 型ウエル
- 5 ゲート絶縁膜
- 6 ゲート絶縁膜
- 7 多結晶シリコン膜
- 8 窒化シリコン膜
- 9 溝
- 10 素子分離領域
- 11 不純物
- 12 多結晶シリコン膜
- 13 酸化シリコン膜
- 14 不純物
- 15 積層膜
 - 15 a 酸化シリコン膜
 - 15 b 窒化シリコン膜
 - 15 c 酸化シリコン膜
- 16 多結晶シリコン膜
 - 16 a 多結晶シリコン膜

- 1 6 b 多結晶シリコン膜
- 1 7 メモリゲート
- 1 7 a 多結晶シリコンスペーサ
- 1 7 b 多結晶シリコンスペーサ
- 1 8 選択ゲート
- 1 9 ゲート電極
- 2 0 不純物拡散層
- 2 1 不純物拡散層
- 2 2 不純物拡散層
- 2 3 スペーサ
- 2 4 サイドウォール
- 2 5 不純物拡散層
- 2 6 不純物拡散層
- 2 7 シリサイド層
- 2 8 層間絶縁膜
- 2 9 コンタクトホール
- 3 0 プラグ
- 3 1 層間絶縁膜
- 3 2 配線開口部
- 3 3 配線
- 4 1 セルの境界
- 4 2 活性領域
- 4 3 引き出し部
- 4 4 コンタクトホール
- 4 5 コンタクトホール
- 4 6 コンタクトホール
- 5 1 領域
- 5 2 領域
- 5 2 a 領域

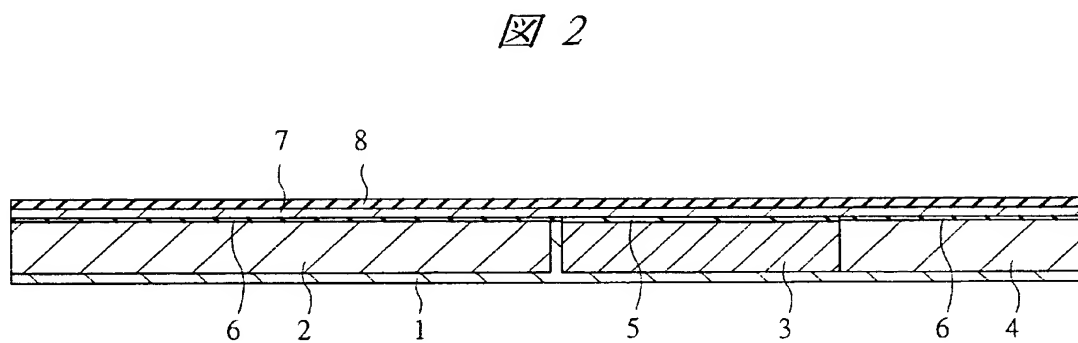
- 5 2 b 領域
- 5 3 a 境界線
- 5 3 b 境界線
- 5 4 チャネル領域
- 6 1 ホール
- 6 2 電子
- 6 3 チャネル
- 6 4 チャネル
- 6 5 チャネル
- 7 1 ホール
- 7 2 空乏層の広がり
- 8 1 シフト量
- 8 2 シフト量
- 9 1 不純物
- 1 0 0 不純物拡散層

【書類名】 図面

【図 1】

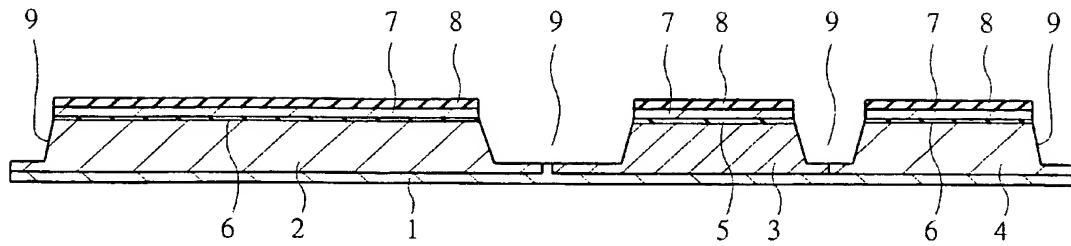


【図 2】



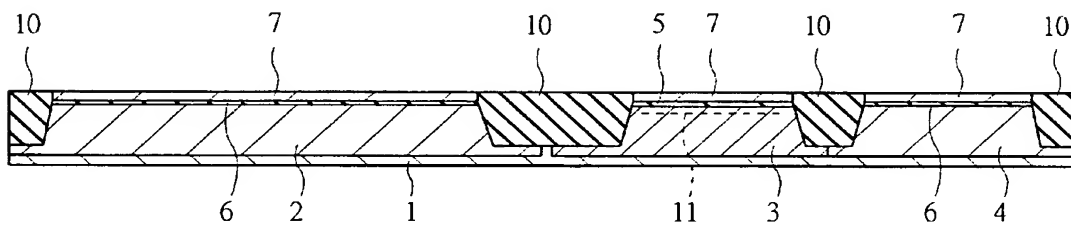
【図 3】

図 3



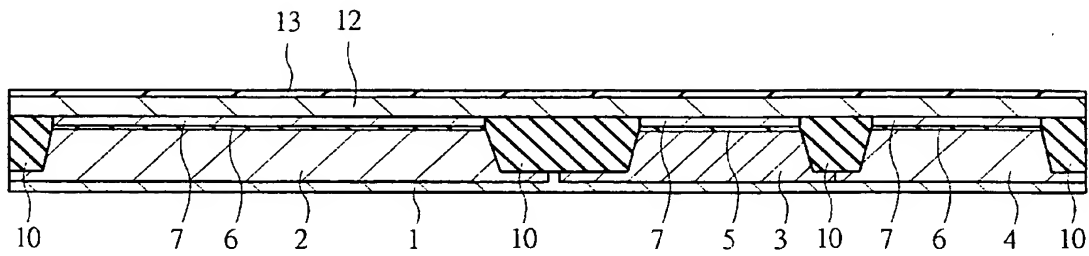
【図 4】

図 4



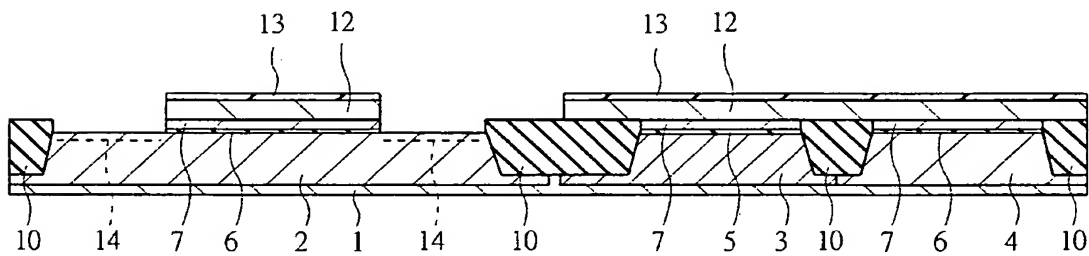
【図 5】

図 5



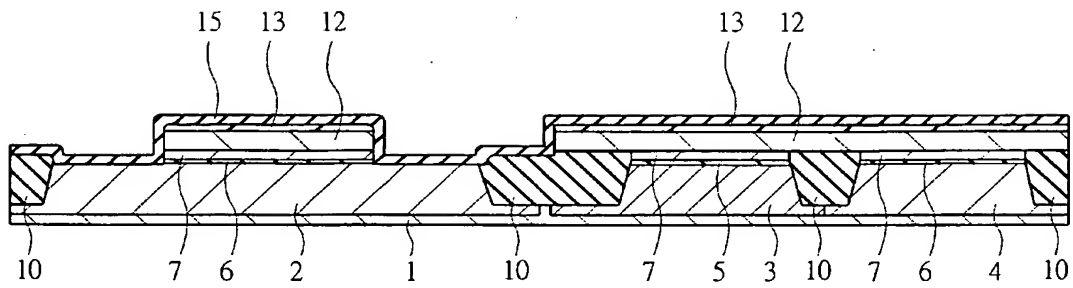
【図 6】

図 6



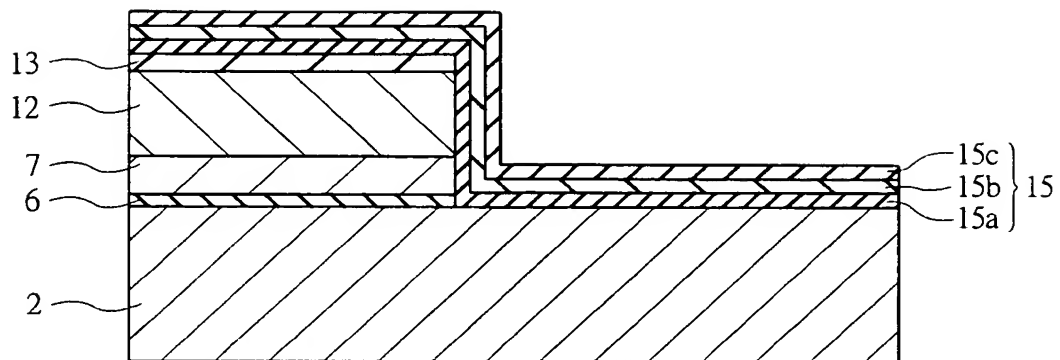
【図 7】

図 7



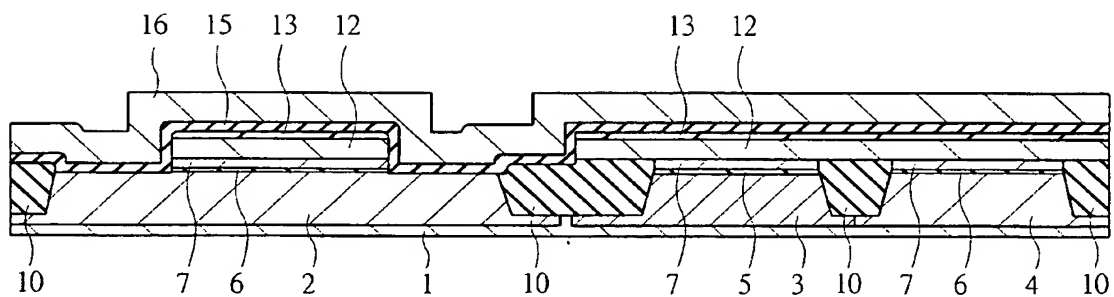
【図 8】

図 8



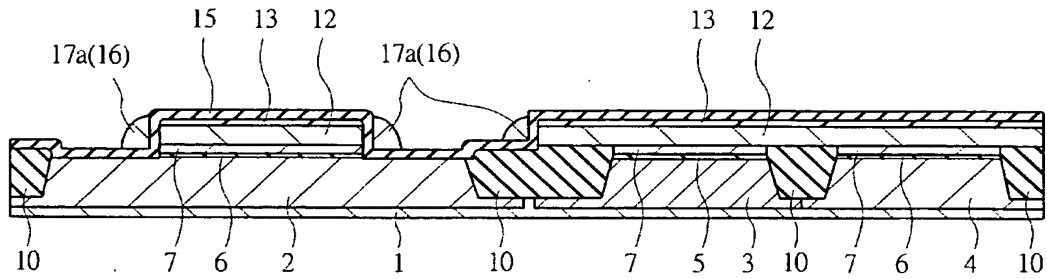
【図 9】

図 9



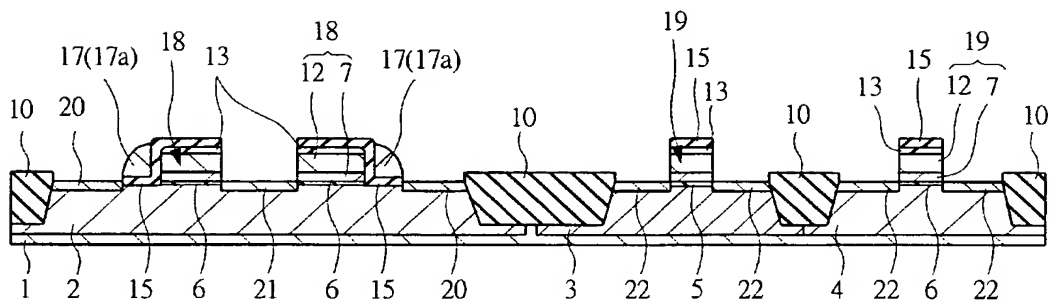
【図 10】

図 10



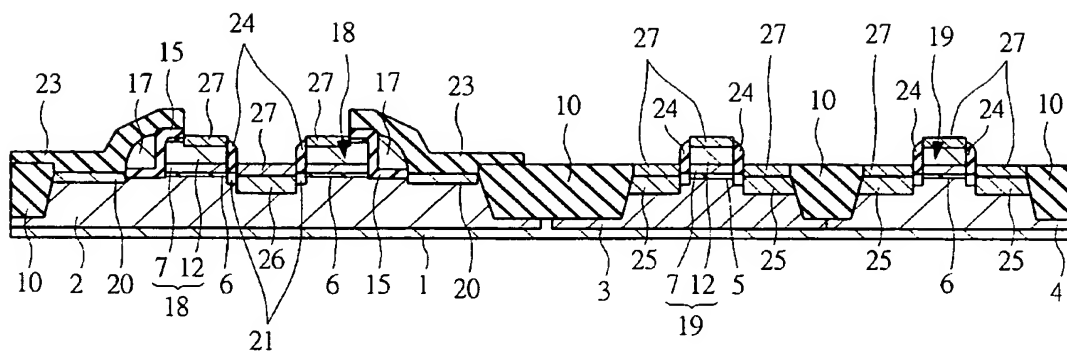
【図 11】

図 11



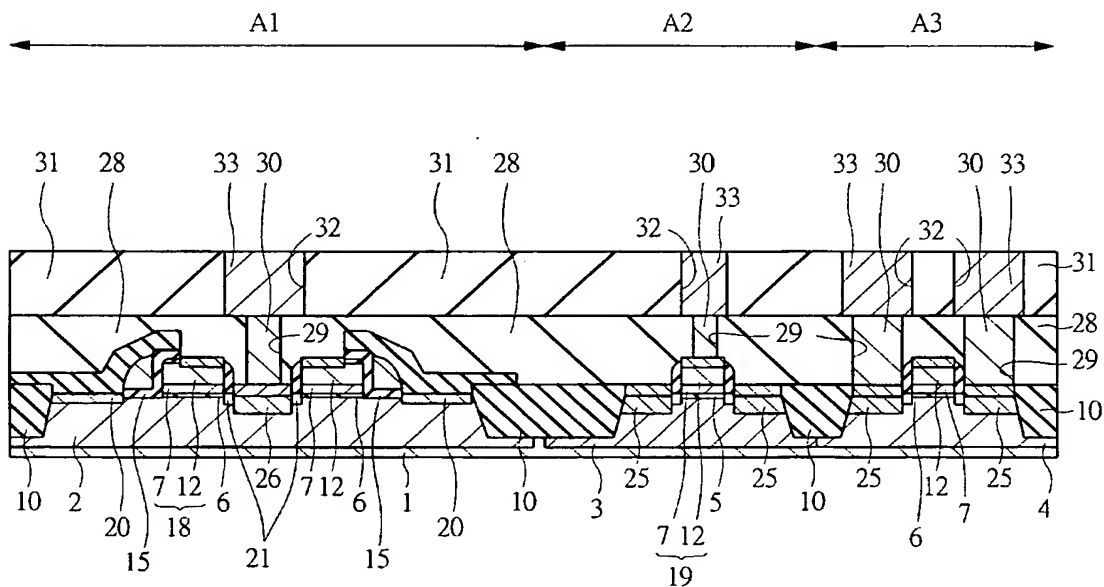
【図 12】

図 12



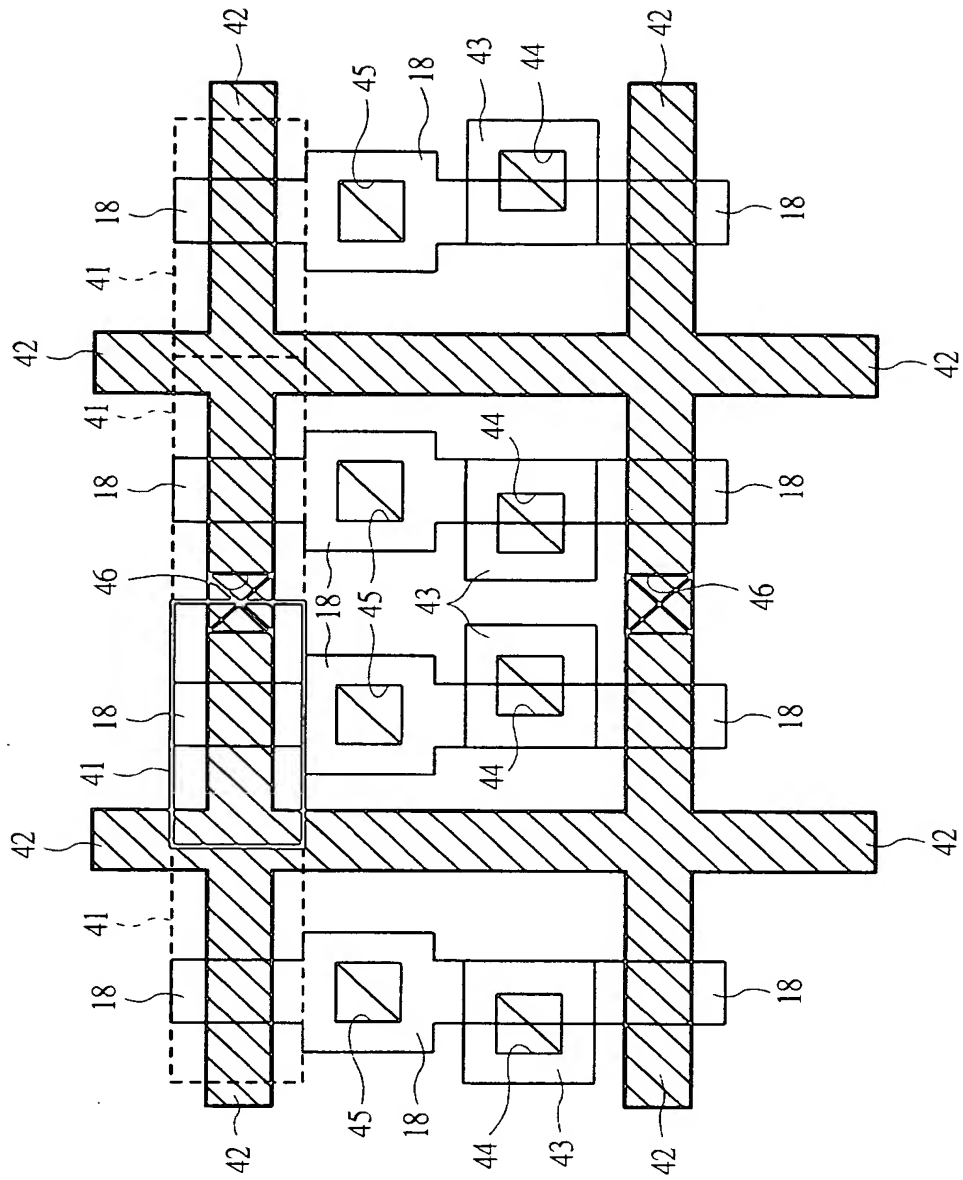
【図 13】

図 13



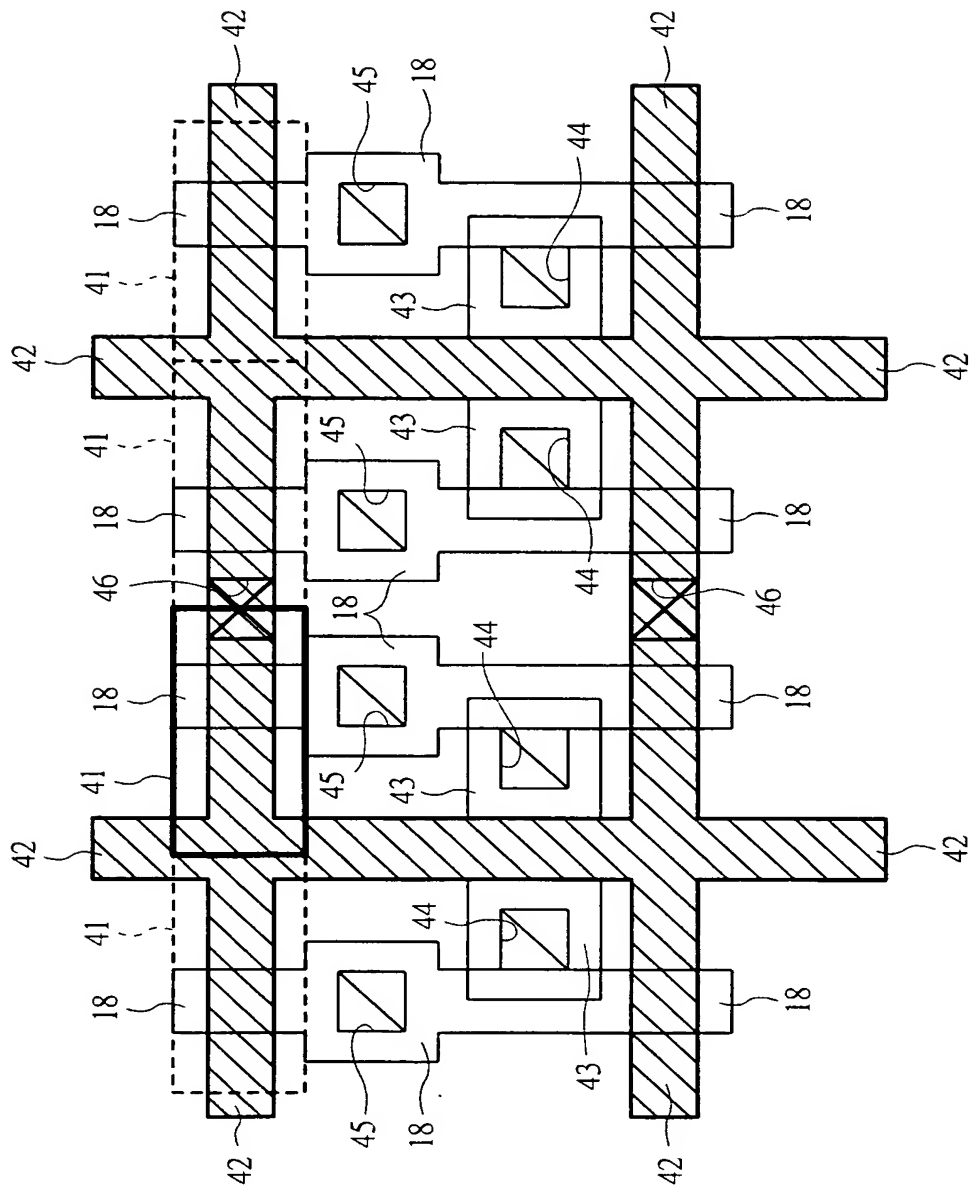
【図 14】

図 14



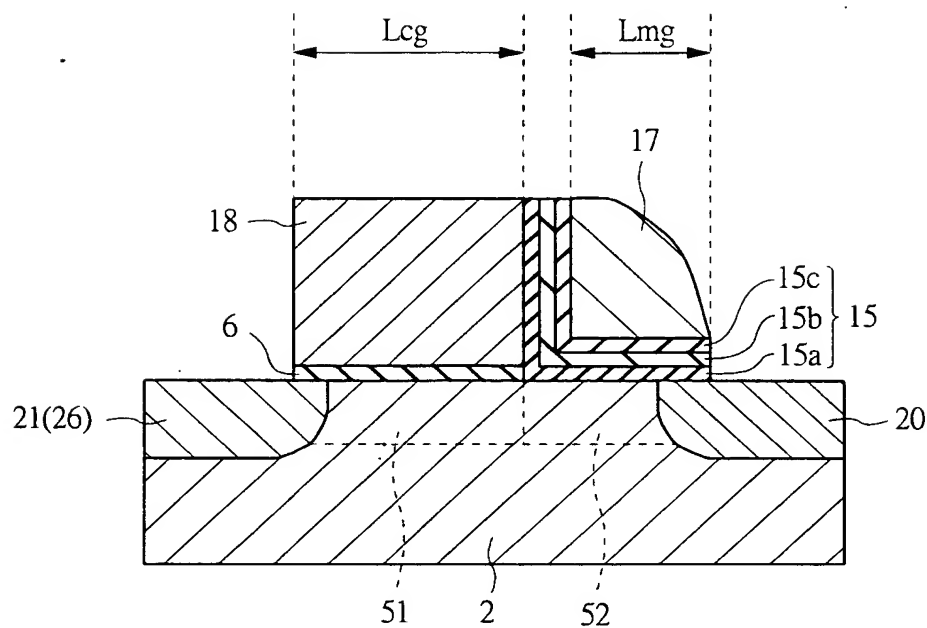
【図 15】

図 15



【図 16】

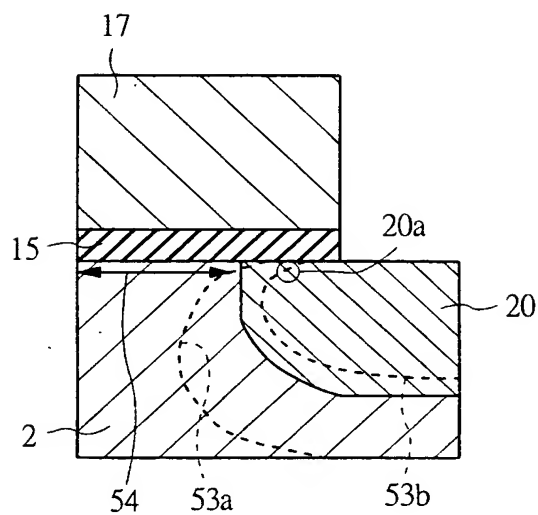
図 16



- | | |
|--------------|------------|
| 2: P型ウェル | 17: メモリゲート |
| 6: ゲート絶縁膜 | 18: 選択ゲート |
| 15: 積層膜 | 20: 不純物拡散層 |
| 15a: 酸化シリコン膜 | 21: 不純物拡散層 |
| 15b: 窒化シリコン膜 | 51: 領域 |
| 15c: 酸化シリコン膜 | 52: 領域 |

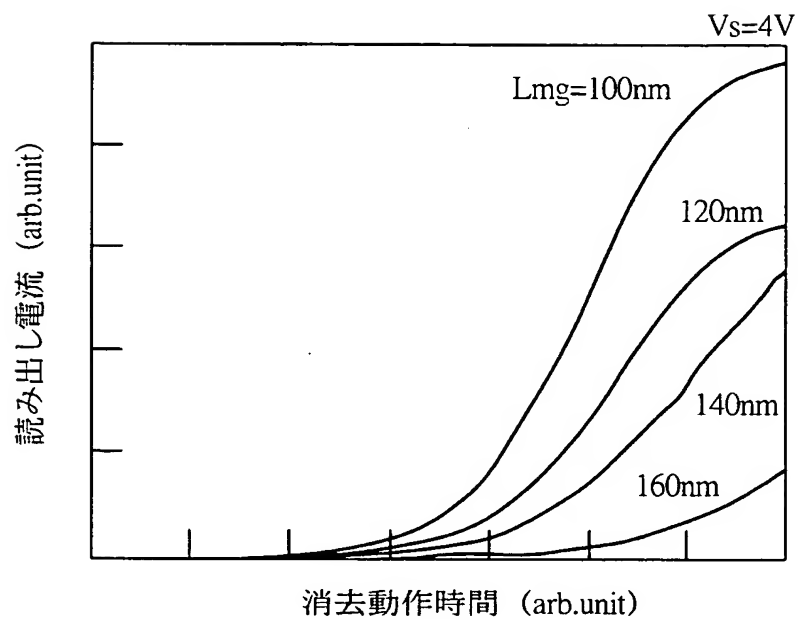
【図 1 7】

図 17



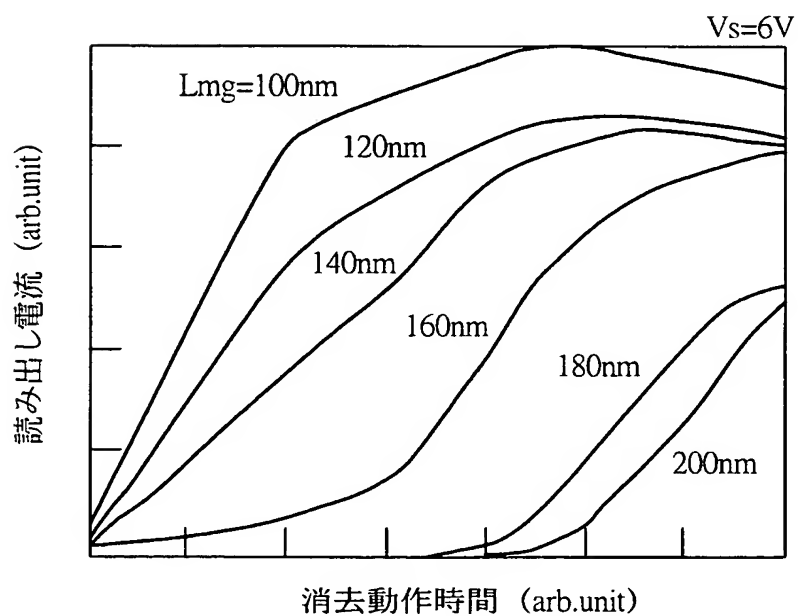
【図 18】

図 18



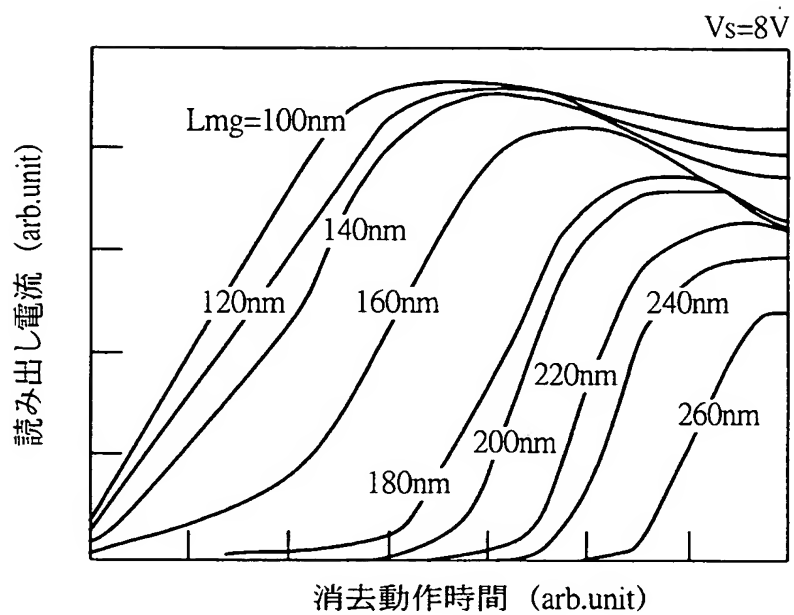
【図 19】

図 19



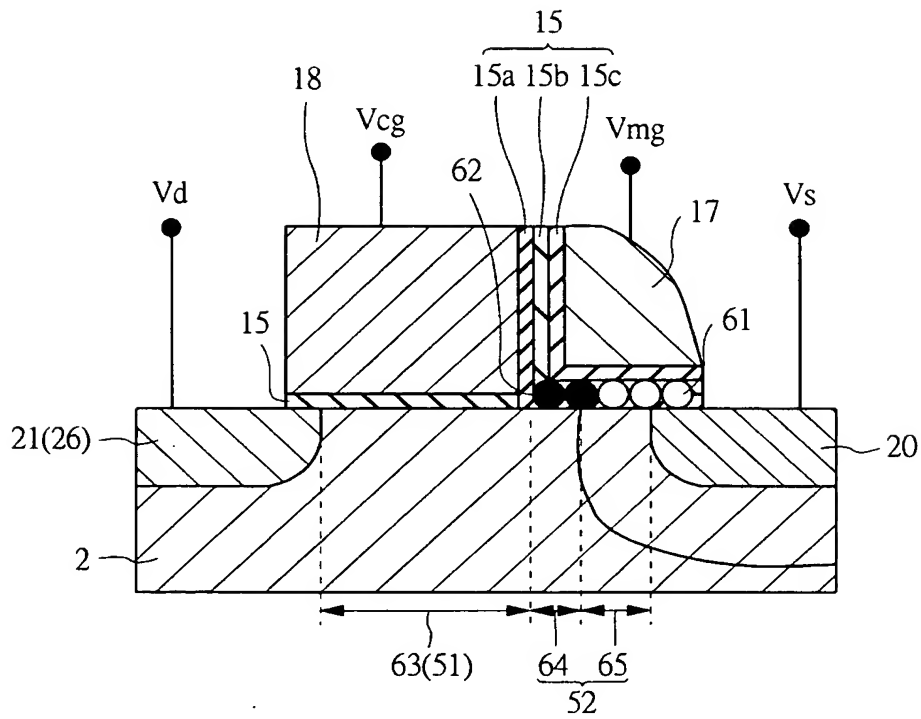
【図 20】

図 20

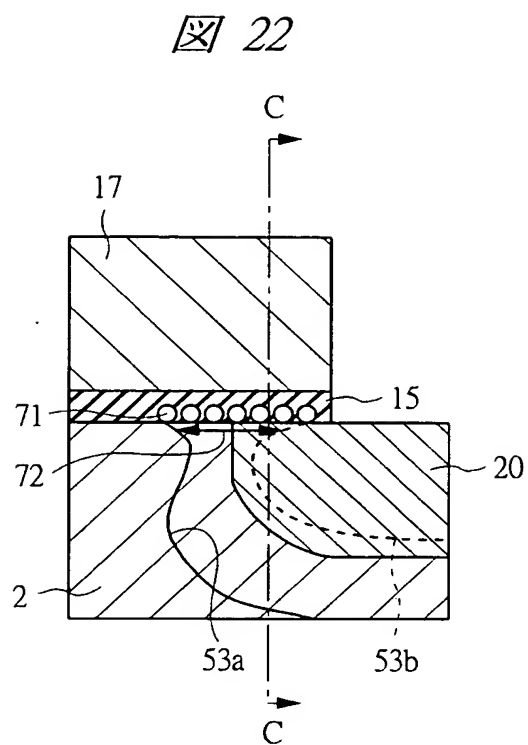


【図 21】

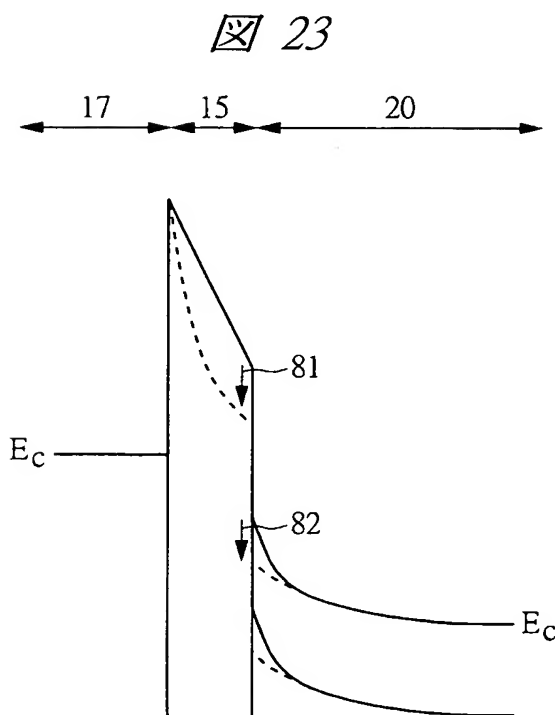
図 21



【図 22】

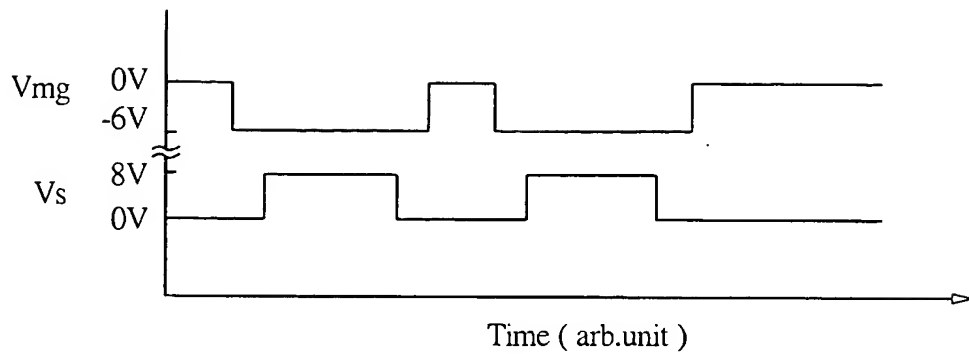


【図 23】



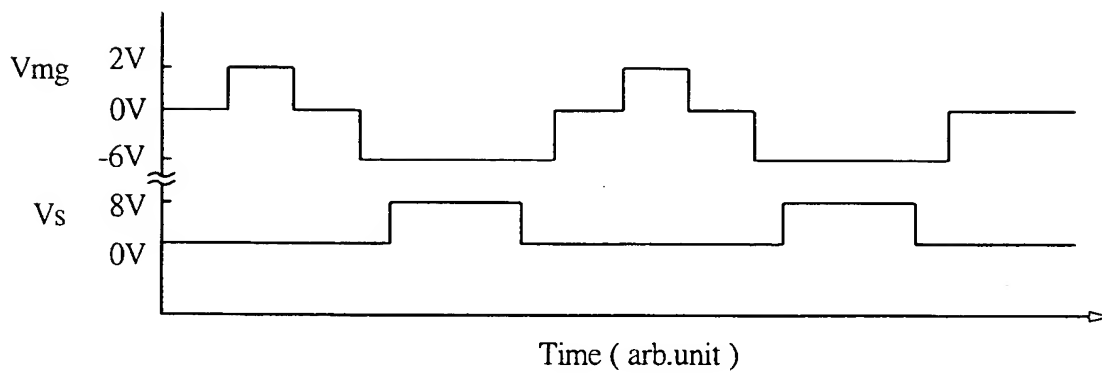
【図 24】

図 24



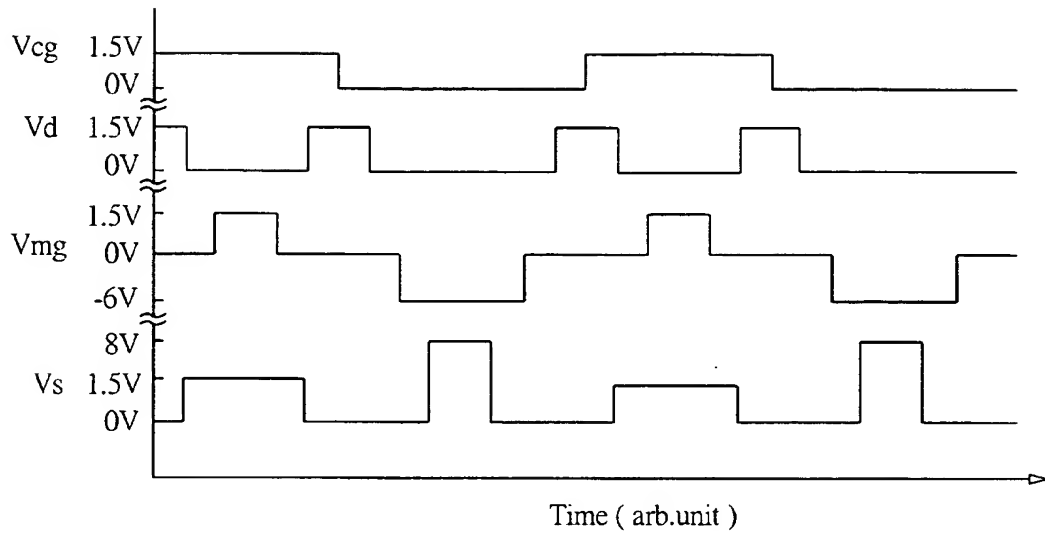
【図 25】

図 25



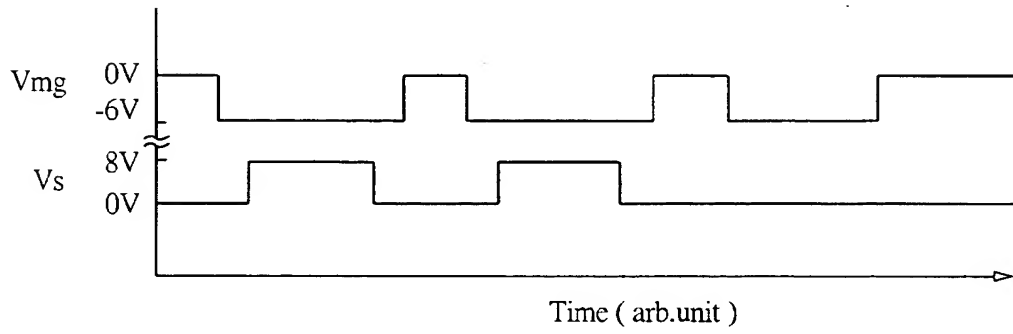
【図 26】

図 26

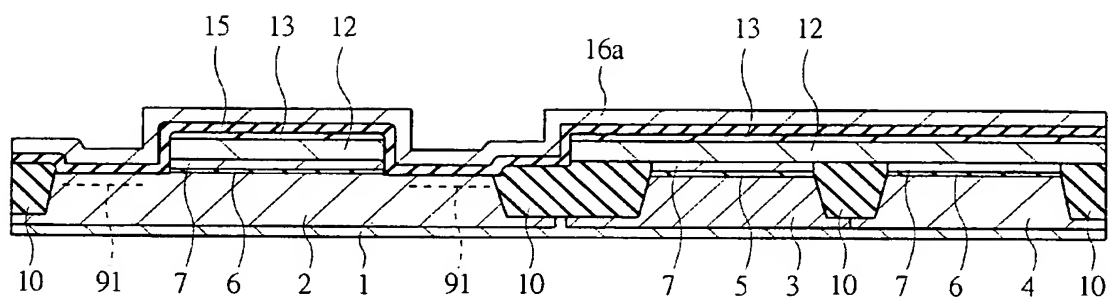
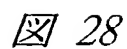


【図 27】

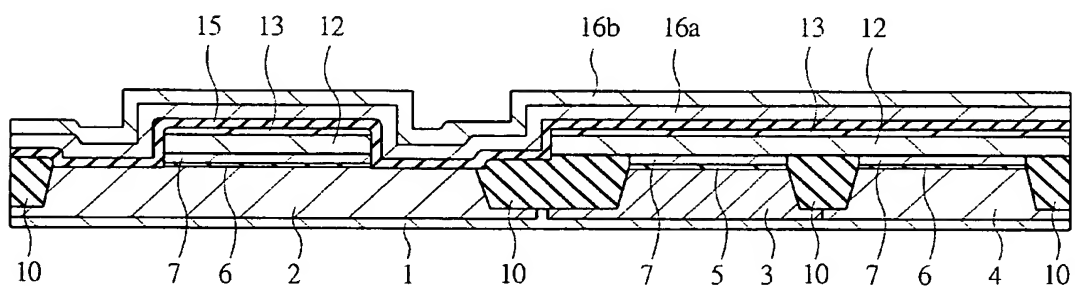
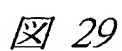
図 27



【図 28】

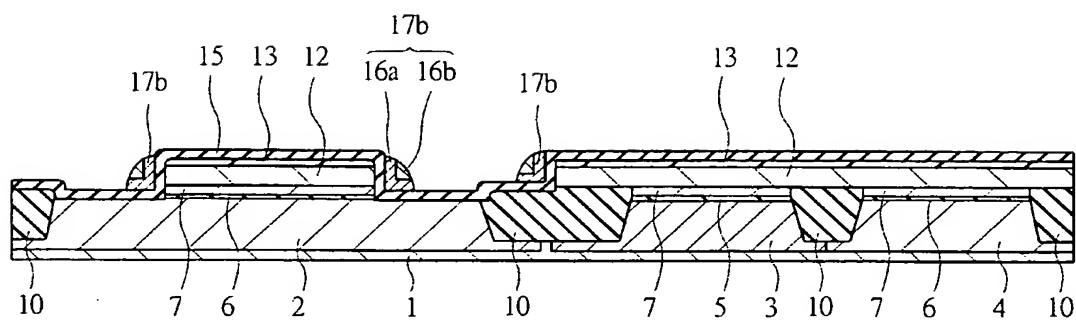


【図 29】



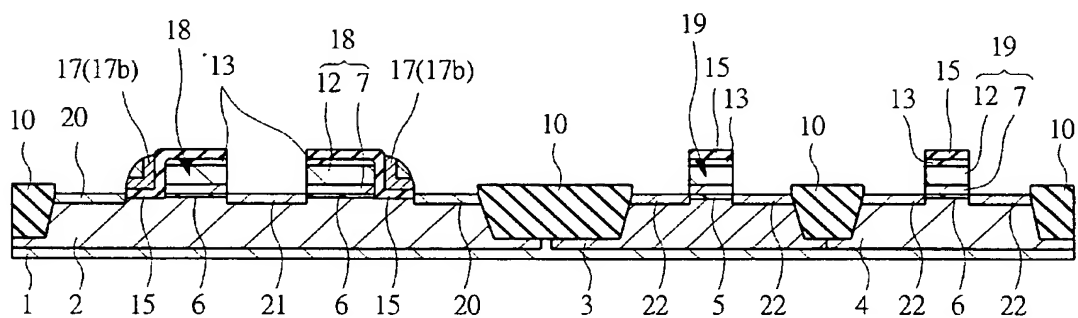
【図 30】

図 30



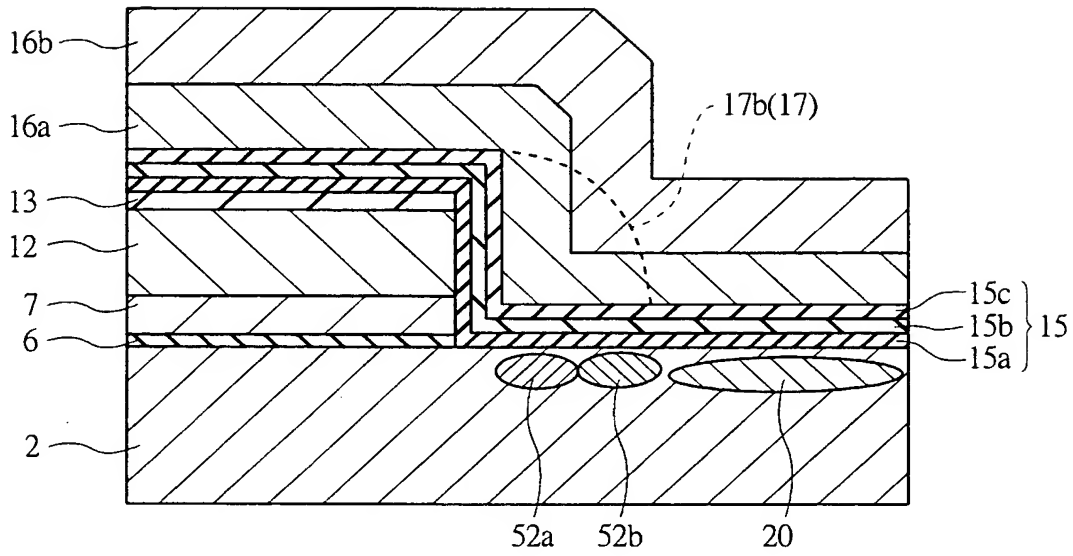
【図 31】

図 31



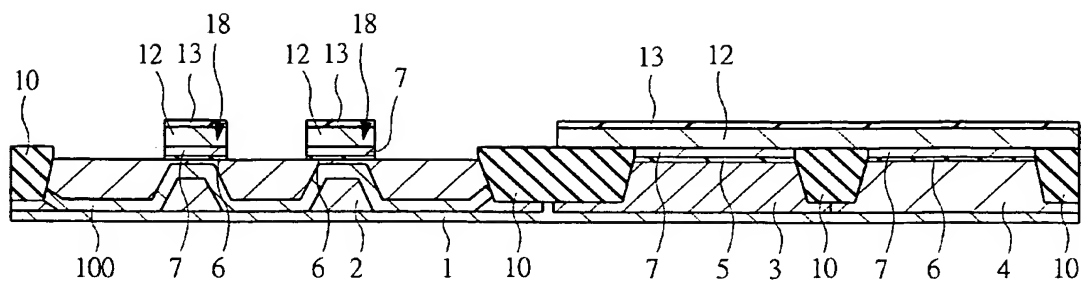
【図 32】

図 32



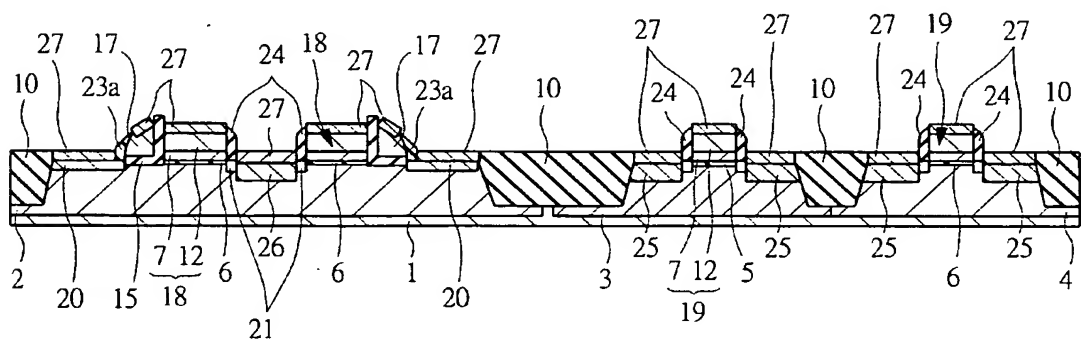
【図 3 3】

図 33



【図 3 4】

図 34



【書類名】 要約書

【要約】

【課題】 高性能な書きこみ消去特性を有する不揮発性半導体記憶装置を提供する。

【解決手段】 半導体基板の p 型ウエル 2 上にゲート絶縁膜 6 を介して選択ゲート 1 8 が形成され、p 型ウエル 2 上に酸化シリコン膜 1 5 a、窒化シリコン膜 1 5 b および酸化シリコン膜 1 5 c からなる積層膜 1 5 を介してメモリゲート 1 7 が形成される。メモリゲート 1 7 は、積層膜 1 5 を介して選択ゲート 1 8 に隣接する。p 型ウエル 2 の選択ゲート 1 8 およびメモリゲート 1 7 の両側の領域には、ソース、ドレインとしての n 型の不純物拡散層 2 0, 2 1 が形成されている。不純物拡散層 2 0, 2 1 の間に位置するチャネル領域のうち、選択ゲート 1 8 により制御され得る領域 5 1 とメモリゲート 1 7 により制御され得る領域 5 2 とにおける不純物の電荷密度が異なる。

【選択図】 図 1 6

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-352040

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 5 2 0 4 0
受付番号	5 0 3 0 1 1 9 4 8 6 3
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月18日

特願 2 0 0 2 - 3 5 2 0 4 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 1 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 千 代 田 区 神 田 駿 河 台 4 丁 目 6 番 地

氏 名

株 式 会 社 日 立 製 作 所

特願 2 0 0 2 - 3 5 2 0 4 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ